دانشگاه صنعتی شریف

دانشکدهٔ مهندسی برق

پایان‌نامه کارشناسی ارشد الکترونیک

عنوان:

طراحی و ساخت پردازشگرهای سیگنال بر اساس ساختار شبکه‌های عصبی

استاد راهنما:

دکتر مهرداد شریف بختیار

نگارش

کامیار خسرویانی

بهمن ماه ۱۳۸۱

چکیده

در این پروژه یک ایده و معماری جدید برای پیاده‌سازی فیلترهای زمان گسسته ارائه شده‌است. این روش جدید مبتنی بر استفاده از ساختار شبکه‌های عصبی برای پردازش سیگنال آنالوگ است. این طرح با بهره بردن از ساختار موازی و توزیع یافته شبکه‌های عصبی قابلیتها و مزایای بسیاری نسبت به روشهای پیشین طراحی فیلترهای زمان گسسته دارد. از جمله حساسیت کم پارامترهای فیلتر به تغییرات پروسه و ساخت و در نتیجه عدم نیاز به تنظیم پس از ساخت است. همچنین این مدارات به علت ساختار ساده، بالقوه سرعت بالایی دارند. مشخصات این فیلتر قابل برنامه‌ریزی بصورت خارجی است و بگونه‌ای است که اثرات غیر ایده‌آل و تغییرات پروسه را می‌توان جبران کرد.

بلوکها و مدارات مختلف برای پیاده‌سازی این فیلتر، با پروسه 0.8 µm CMOS و منبع تغذیه ۵ ولت طراحی شده‌اند و در تمامی حالات معمولی، بدترین توان و بدترین سرعت عملکرد صحیح آنها شبیه‌سازی شده‌است. این مدارها شامل S&H، ترارسانا، سیناپس با چهار وزن گسسته، بلوک دیجیتال، کپی‌کننده جریان و مدارات جانبی برای ارتباط این بلوکها می‌باشد. در طراحی این مدارها سعی در بهینه کردن مشخصات آنها برای عملکرد بهتر فیلتر شده‌است. پس از طراحی، کلیه مدارات لی‌آوت شده‌اند و شبیه‌سازیهای پس از لی‌آوت هم صحت عملکرد آنها را نشان می‌دهد. تراشه این فیلتر ساخته شده‌است و تست بلوکهای مختلف آن، مخصوصا آموزش شبکه‌عصبی آن با موفقیت انجام شده‌است. این تراشه و ایده آن دریچه‌ای نو و نویدبخش را بسوی دنیای پردازش سیگنالهای آنالوگ می‌گشاید.

کلمات کلیدی:

فیلتر زمان گسسته، شبکه‌های عصبی پیشرو، مدار مجتمع، مد جریان، استراتژی تراشه، لی‌آوت

فهرست

عنوان

1 ..... ۱ مقدمه

1 ..... ۱-۱) انواع فیلترهای مجتمع:

2 ..... ۱-۱-۱ G_m-C [1] فیلترهای

4 ..... ۱-۱-۲) فیلترهای سوئیچ ـ خازن [1]

5 ..... ۱-۱-۳) فیلترهای SD

6 ..... ۱-۲) ارائه معماری جدید برای فیلترهای زمان گسسته

9 ..... ۲شبکه‌های عصبی

9 ۲-۱) مقدمه

10 ..... ۲-۲) مدل و ساختار شبکه‌های عصبی [2]

11 ..... ۲-۲-۱)ساختارهای مختلف شبکه‌های عصبی:

12 ۲-٤) آموزش:

13 ..... ۲-۵) شبکه‌های عصبی مستقیم چند لایه:

14 ..... ۲-۵-۱) انتخاب پارامترها:

14 ..... ۲-۵-۲) قضیه تقریب [5]

15 ..... ۲-۵-۳) روش آموزش انتشار خطا به عقب [4]

17 ..... ۳ الگوریتم ژنتیک

17 ۳-۱) مقدمه:

19 ..... ۳-۲)الگوریتم ژنتیک:

20 ..... ۳-۲-۱) مکانیزم کد کردن

21 ..... ۳-۲-۲)مکانیزم انتخاب

22 ..... ۳-۲-۳) پیوند

23 ..... ۳-۲-٤) جهش

23 ..... ۳-۳) ساختار یک الگوریتم ژنتیک:

25 ..... ۳-۳-۱) پارامترهای کنترلی [9]

26 ..... ۳-۳-۲) روشهای دینامیک و سازگار شونده:

27 ..... ۳-٤) استفاده از الگوریتم ژنتیک در آموزش شبکه‌های عصبی [11,12]

28 ..... ۳-٤-۱) انطباق الگوریتم ژنتیک برای آموزش شبکه عصبی [13,15]

29 ..... ٤فیلتر براساس ساختار شبکه عصبی

29 ..... ٤-۱) تئوری فیلترهای زمان گسسته

۱-۱-٤) ایده معادلات تفاضلی 30
۲-٤[14]) طراحی فیلتر بر اساس ساختار شبکه‌های عصبی 31
۱-۲-٤)مزایا و معایب ساخت فیلتر قابل آموزش با شبکه عصبی 32
۲-۲-٤) مزایا از دیدگاه سخت افزار 34
۳-٤) شرح بلوک دیاگرام فیلتر براساس ساختار شبکه عصبی 37
۱-۳-٤) پیاده سازی معادله تفاضلی به وسیله شبکه عصبی 38
٤-٤) بلوک استراتژی چیپ فیلتر 39
۱-٤-٤) حالت آموزش شبکه عصبی 42
۲-٤-٤) حالت کار عادی فیلتر 43
۳-٤-٤G_m) تست 43
٤-٤-٤S&H) تست 44
٥-٤-٤) حذف افست 44
٦-٤-٤G_mکردن) بای‌پس 44
٥-٤) پایه‌های تراشه: 45

٥ مشخصات پروسه مورد استفاده 47

۱-٥) مقدمه 47

۲-٥CXQ µm۰/۸)مشخصات پروسه 48
۱-۲-٥)عدم تطابق و پارامترهای آن 48
۱-۱-۲-٥[16])پارامترهای عدم تطابق 49
۲-۱-۲-٥)مدل توصیف تطابق 49
۱-۲-۲-٥MOS)پارامترهای تطابق ترانزیستورهای 50
۲-۲-٥MOS)مدلهای MOS و پارامترهای شبیه سازی 51

٦پیاده سازی مداری بلوکهای سازنده فیلتر 53

۱-٦) مقدمه 53

۲-٦)شبکه‌عصبی 54
۱-۲-٦[20,21])ضرب کننده جریان 55
۱-۱-۲-٦)افست خروجی 56
۲-۱-۲-٦)بررسی سرعت مدار 57
۲-۲-٦)پیاده سازی سیناپس با وزنهای گسسته 58
۱-۲-۲-٦)بررسی نتایج شبیه سازیها 61
۳-۲-٦)پیاده سازی شبکه عصبی 62
۱-۳-۲-٦)ضرب کننده خروجی 64
۲-۳-۲-٦)حذف کننده افست: 65
٤-۲-٦)بررسی نتایج شبیه‌سازی‌ها و عملکرد شبکه عصبی 68

70 ۶-۳)بلوک دیجیتال فیلتر
71 ۶-۳-۱)شرح ساختار قسمت دیجیتال
73 ۶-۳-۲)پیاده سازی قسمت دیجیتال از فایل Verilog
73 ۶-۴) مدار ترارسانا
74 ۶-۴-۱)شرح مدار ترارسانا [1,26]
76 ۶-۴-۲)بررسی رفتار ترارسانا در فرکانسهای بالا
78 ۶-۳-۴) ولتاژ حالت مشترک ورودی و خطی بودن ترارسانا
79 ۶-۴-۳)ترانزیستورهای مطابق
80 ۶-۴-۴)نتایج شبیه‌سازیهای قبل و بعد از لی‌آوت و بررسی رفتار ترارسانا
82 ۶-۵) مدار S&H [29]
88 ۶-۵-۱)مدار S&H با استفاده از T&H
92 ۶-۵-۲)نتایج شبیه‌سازیها و بررسی رفتار T&H قبل و بعد از لی‌آوت
93 ۶-۶) بلوک بایاس:
94 ۶-۶-۱) بایاس آینه جریان ولتاژ پایین و شبکه عصبی
95 ۶-۶-۲) بایاس شبکه‌عصبی، ترارسانا و S&H
96 ۶-۶-۳) بررسی رفتار بلوک بایاس قبل و پس از لی آوت
97 ۶-۷) کپی کننده جریان

98 ۷ ملاحظات لی‌آوت

98 ۷-۱) مقدمه
100 ۷-۲) لی‌آوت ترانزیستور MOS
103 ۷-۲-۱) روش مناسب لی‌آوت برای ترانزیستورهای مطابق
106 ۷-۳) ملاحظات مربوط به نحوه اتصالات در لی‌آوت
108 ۷-۴) لی‌آوت تراشه

110 ۸ تست تراشه و نتیجه‌گیری

110 ۸-۱) مقدمه
111 ۸-۲) تست و مشخصه نگاری ترارسانا
111 ۸-۲-۱) برد تست ترارسانا
112 ۸-۲-۲) نتایج اندازه گیری
113 ۸-۲-۳) تفسیر نتایج بدست آمده
114 ۸-۳) تست و مشخصهٔ نگاری S&H
115 ۸-۳-۱) نتایج تست مدار S&H
115 ۸-۳-۱-۱) تست مدار تولید کلاک غیر همپوشان
116 ۸-۳-۱-۲) اندازه گیری تزریق پالس ساعت
116 ۸-۳-۱-۳) اندازه گیری دقت S&H

116 ..... ٤-١-٣-٨S&H) اندازه گیری سرعت و پهنای باند
117 ..... گیری٨-٣-٢) تفسیر نتایج اندازه
117 ..... ٨-٤) تست قسمت دیجیتال
118 ..... ٨-٥) تست شبکه عصبی
120 ..... گیری و پیشنهادات٨-٦) نتیجه
122 ..... ضمیمه ١
122 ..... (AMS 0.8 u CMOS)برخی مشخصات پروسه طراحی
132 ..... ضمیمه ٢
132 ..... تصویر لی‌آوت بلوکهای مختلف تراشه

فهرست شکلها

فصل دوم

شکل ۲ -۱: مدل یک نرون ۱۱
شکل ۲ -۲: توابع فعالیت ۱۱
شکل ۲ -۳: شبکه عصبی سه طبقه ۱۳

فصل چهارم

شکل ٤ -۱: نحوه پیاده‌سازی تابع تبدیل در حوزه z ۳۲
شکل ٤ -۲:شبکه عصبی برای پیاده‌سازی یک سه‌جمله‌ای ۳۸
شکل ٤ -۳: استراتژی تراشه ٤۱
شکل ٤ -٤:نحوه آموزش شبکه‌های عصبی به صورت Off-chip ٤۲
شکل ٤ -٥:نحوه شماره‌گذاری CLCC84 ..... ٤٦

فصل ششم

شکل ٦ -۱:ضرب‌کننده جریان (الف)ساده (ب) کسکود ٥٦
شکل ٦ -۲:مدل ساده شده ضرب‌کننده ٥۸
شکل ٦ -۳:پیاده‌سازی سیناپس با چهار وزن گسسته ٥۹
شکل ٦ -٤:پیاده‌سازی سوئیچهای S1-S4 ..... ٦۱
شکل ٦ -٥:پاسخ سیناپس با ضریب ۰/۲ به ورودی ۲٥µ در حالتهای ws,wp و tm ٦۲
شکل ٦ -٦:شبکه عصبی (الف)با سه ورودی (ب) تحقق مسیر یک ورودی به خروجی با استفاده از مدار سیناپس .. ٦۳
شکل ٦ -۷:طبقه خروجی ٦٥
شکل ٦ -۸: حذف کننده افست (الف)مدار ساده شده (ب) مدار کامل ٦٦
شکل ٦ -۹: مشخصه حذف کننده آفست در حالتهای ws,wp و tm ٦۸
شکل ٦ -۱۰: پاسخ شبکه‌عصبی قبل از لی‌آوت ٦۹
شکل ٦ -۱۱: پاسخ شبکه‌عصبی پس از لی‌آوت ٦۹
شکل ٦ -۱۲: بلوک دیجیتال ذخیره کننده وزنهای شبکه عصبی ۷۱
شکل ٦ -۱۳: ترکیب Master-slave استفاده شده به عنوان تک بیت در شیفت رجیستر ۷۲
شکل ٦ -۱٤: پیاده‌سازی بلوک دیجیتال با گیت ۷۲
شکل ٦ -۱٥:مدار ساده شده ترارسانای استفاده شده ۷٥

شکل ٦ -١٦:خازنهای مهم در فرکانسهای بالا (الف) مدار اولیه (ب)مدار نهایی ٧٦
شکل ٦ -١٧: مشخصه ترارسانا بعد از لی‌آوت ٨١
شکل ٦ -١٨:مدار ساده S&H (الف) حلقه باز (ب) حلقه بسته ٨٢
شکل ٦ -١٩: S&H دیفرانسیل بر اساس ساختار حلقه باز ٨٣
شکل ٦ -٢٠: S&H دیفررانسیل بر اساس ساختار حلقه بسته ٨٤
شکل ٦ -٢١:مدار T&H استفاده شده ٨٧
شکل ٦ -٢٢: (الف) پیاده‌سازی S&H با دو T&H، (ب) پالس ساعت اعمال شده به دو T&H، (ج) شکل موج در نقاط مختلف قسمت الف ٨٨
شکل ٦ -٢٣:(الف) نمایش منطقی تولید دو کلاک غیر همپوشان (ب) شکل موج در نقاط مختلف قسمت الف ٨٩
شکل ٦ -٢٤: مدار ساخت دو کلاک غیر همپوشان از یک کلاک ورودی ٩٠
شکل ٦ -٢٥: خروجی تولید کننده کلاک غیر همپوشان به کلاک ورودی ٢٠MHz قبل از لی‌آوت در حالت ws ٩١
شکل ٦ -٢٦: خروجی تولید کننده کلاک غیر همپوشان به کلاک ورودی ٢٠MHz بعد از لی‌آوت در حالت ws ٩١
شکل ٦ -٢٧: کنترل داخلی یا خارجی بودن دو پالس ساعت غیر همپوشان ٩٢
شکل ٦ -٢٨: پاسخ T&Hبه ورودی مثلثی قبل از لی‌آوت ٩٢
شکل ٦ -٢٩: پاسخ T&Hبه ورودی مثلثی بعد از لی‌آوت ٩٣
شکل ٦ -٣٠:(الف)آیینه جریان کسکود ولتاژ پایین،(ب) بایاس آن ٩٤
شکل ٦ -٣١: مدار بایاس تمام بلوکها ٩٥
شکل ٦ -٣٢: کپی کننده جریان با سه خروجی ٩٧

فصل هفتم

شکل ٧ -١:لی‌آوت یک ترانزیستور MOS ١٠٠
شکل ٧ -٢: لی‌آوت سه ترانزیستور بروش موازی ١٠١
شکل ٧ -٣: لی‌آوت ترانزیستورهای کسکود (الف) با کنتاکت گیت (ب) بدون کنتاکت گیت ١٠٢
شکل ٧ -٤:زوج دیفرانسیلی، (ب) لی‌آوت M1 و M2 با جهتهای مختلف، (ج) لی‌آوت با گیتهای در امتداد یکدیگر، (د) لی‌آوت با گیتهای موازی ١٠٤
شکل ٧ -٥: لی‌آوت بصورت هم‌مرکز ١٠٥
شکل ٧ -٦: تزویج یک بعدی ١٠٦
شکل ٧ -٧: روش توزیع منابع تغذیه: (الف) بصورت سری، (ب) بصورت ستاره‌ای ١٠٨
شکل ٧ -٨: تصویر لی‌آوت تراشه ١٠٩

فصل هشتم

شکل ۸ -۱: بلوک دیاگرام برد تست ترارسانا ۱۱۱
شکل ۸ -۲: مدار استفاده شده برای ساخت ورودی تفاضلی به ترارسانا ۱۱۲
شکل ۸ -۳: روش اندازه‌گیری خروجی ترارسانا ۱۱۲
شکل ۸ -٤: برد تست S&H ۱۱٤
شکل ۸ -٥: مبدل ولتاژ به جریان با جریان خروجی مثبت ومنفی ۱۱٥
شکل ۸ -٦: آموزش به شبکه عصبی با استفاد هاز کارت ISA ۱۱۹

ضمائم

شکل ضمیمه ۲ -۱: تصویر لی‌آوت یک سیناپس ۱۳۲
شکل ضمیمه ۲ -۲: تصویر لی‌آوت بلوک بایاس ۱۳۲
شکل ضمیمه ۲ -۳: تصویر لی‌آوت طبقه خروجی ۱۳۳
شکل ضمیمه ۲ -٤: تصویر لی‌آوت حذف‌کننده آفست ۱۳۳
شکل ضمیمه ۲ -٥: تصویر لی‌آوت شبکه عصبی ۱۳٤
شکل ضمیمه ۲ -٦: تصویر ترارسانا ۱۳٤
شکل ضمیمه ۲ -۷: تصویر لی‌آوت S&H ۱۳٥
شکل ضمیمه ۲ -۸: تصویر لی‌آوت تولید کننده پالس ساعت غیرهمپوشان ۱۳٥

۱ مقدمه

۱-۱) انواع فیلترهای مجتمع:

پیشرفت تکنولوژی لزوم مجتمع سازی فیلترها را درکاربردهای مخابراتی و صنعتی به منظور مجتمع کردن کل سیستم روی یک تراشه ایجاد کرده است. فیلترهای مجتمع در دو گروه عمده زمان پیوسته و زمان گسسته مطرح می‌شوند. دربخش فیلترهای زمان پیوسته فیلترهایGm-C وMOSFET-C و Active-RC را داریم که به دلیل تغییرات مقادیر مطلق المانها روی تراشه، نیازمند تنظیم پس از ساخت می‌باشند. در گروه فیلترهای زمان گسسته نیز فیلترهای SD و SC و فیلترهای دیجیتال را داریم. در فیلترهای آنالوگ زمان گسسته SC و SD دقت مشخصه فیلتر وابسته به نسبت عناصر است و از آنجایی که روی تراشه نسبتها با دقت بالایی قابل تحقق است، لذا این فیلترها نیاز به تنظیم ندارند و از اینرو در

کاربردهای صنعتی بیشتر مورد توجه‌اند. منظور از پردازش سیگنال درحوزه زمان گسسته، استفاده از نمونه‌های یک سیگنال پیوسته در زمان، برای انجام عملیات پردازش بر روی سیگنال است. در این فصل ابتدا مروری مختصر بر فیلترهای مجتمع و SC و SD خواهیم داشت و سپس ایده کلی روش جدید پیشنهادی ما برای ساخت فیلتر زمان گسسته مطرح می‌شود و در فصلهای بعد در مقایسه با روشهای دیگر ارزیابی خواهد شد.

۱-۱-۱) فیلترهای G_m-C [1]

این فیلترها جزو دسته فیلترهای زمان پیوسته هستند ودرمحدوده فرکانسی نسبتا بالاموردد استفاده قرار می‌گیرند. برخلاف فیلترهای SC که با نمونه برداری بزرگتر از نرخ نایکوئیست با نمونه‌های آنالوگ ولتاژ در حوزه زمان گسسته، عمل فیلتر کردن را انجام می‌دهند، فیلترهای G_m-C بدون نمونه برداری و با سیگنال زمان پیوسته کار میکنند و از این رو می‌توانند در رنج فرکانسی بالاتری نسبت به فیلترهای SC (به خاطر نرخ نایکوئیست و تمهیدات ضداختلاط[1] در فیلترهای SC) به کار روند. این فیلترهای فرکانس بالا به دلیل پاره‌ای از ایرادها هنوز در کاربردهای صنعتی کمتر به کار می‌روند. یکی از ایرادهای اصلی آنها نیاز به تنظیم مدار است. وابسته بودن ضرایب فیلترهای G_m-C به نسبت دو عنصر غیرمشابه C و G_m که هر کدام روی تراشه حداقل ۱۰% و ۲۰% دقت دارند، دقت ضرایب فیلتر را به حداقل ۳۰% می‌رساند. که این باعث تغییرات مشخصات فیلتر با پروسه ساخت و تغییرات دما می‌شود که برای بهبود این اثر ازمدارات تنظیم[2] برای تنظیم ضرایب فیلتر استفاده می‌شودکه حتی با این مدارات هم دقت

[1] Antialosing
[2] Tunning

ضرایب به زیر ۱% نمی‌رسد در حالی که در فیلترهای SC مشخصات فیلتر وابسته به نسبت دو خازن است که روی تراشه با دقت بسیار خوب ۰/۱% قابل ساخت است.

مشکل دیگر این فیلترها، نویز و غیرخطی بودن آنهاست. به دلیل استفاده ازسیگنال مرجع در رنج فرکانسی فیلتر برای تنظیم دقیق فیلتر، رنج دینامیکی این فیلترها بسیار پایین است. همچنین به علت استفاده از تبدیل کننده ولتاژ به جریان[1] به صورت حلقه باز و با سیگنالهای ولتاژی دامنه بزرگ، غیرخطی بودن این فیلترها، به دلیل غیرخطی بودن عنصر پایه‌ای آن یعنی G_m ، نسبتا بالاست و THD در بهترین G_m های موجودبالای ۷۵dB- است. این در حالی است که در فیلترهای فرکانس پایین SC ،تحقق فیلتر بااعوجاج بهتر از ۹۰dB- به راحتی امکانپذیر است. پس در مجموع، زیاد بودن اعوجاج و کم بودن رنج دینامیکی این فیلترها ازمعایب آنهاست. مشخصات این فیلترها به طور خلاصه عبارت است از:

۱ـ G_m-C های بسیار خطی، به دلیل به کارگیری آنها به صورت انتگراتورهای حلقه باز.

۲ـ نیاز به مدارات تنظیم خودکار دراین مدارات، به دلیل وابستگی فیلتر به نسبت G_m و C که دو عنصر مستقل مداری هستند و هر کدام حداقل ۱۰% تلرانس دارند، برای یک مشخصه دقیق این ضرایب بایدتنظیم شوند.

۳ـ کاهش رنج دینامیکی فیلتر درنتیجه استفاده از سیگنال مرجع در مدارات تنظیم خودکار.

٤ـ وجود قطبهای شناور ونیز اثرات مقاومت خروجی محدود G_m ها،باعث خطای فاز در فیلتر می‌شود.

[1] G_m

۱-۱-۲) فیلترهای سوئیچ ـ خازن [1]

دسته عظیمی از مدارات پردازش آنالوگ، از مدارات SC استفاده کرده‌اند. فیلترهای SC با پردازش گسسته ولتاژ درگروه فیلترهای زمان گسسته آنالوگ واقع هستند و آنالیز آنها به سادگی توسط تکنیکهای تبدیل Z امکانپذیر است. درکاربردهای فرکانس پایین صوتی، فیلترهای SC به دلیل دقت مشخصه فرکانسی (که وابسته به نسبت خازنهاست) و نیز مقدار خطی بودن بالا و رنج دینامیک وسیع استفاده زیادی دارند. دقت مشخصه فرکانسی این فیلتر به دلیل وابستگی ضرایب فیلتر به نسبتهای خازنی، بسیار بالاست. چرا که نسبتهای خازنی روی تراشه بادقتهای ۰/۱% قابل ساخت می‌باشد. مشخصه فرکانسی این نوع فیلترها توسط فرکانس کلاک جابجا می‌شودو خوشبختانه، فرکانس کلاک را می‌توان توسط یک نوسان ساز کریستالی خارجی به دقت انتخاب کرد. این فیلترها به صورت خلاصه ویژگیهای زیر را دارند:

۱ـ نیاز به تقویت کننده‌های فرکانس بالا،به طوری که حداقل پهنای باند آنها از ۵ برابر فرکانس کلاک بیشتر باشد.

۲ـ نیاز به خازنهای خطی شناور برای خطی بودن مدارات SC، لزوم داشتن پروسه CMOS با خازنهای با کیفیت را ایجاب می‌کند.

۳ـ اثر تزریق کلاک در مدارات SC ، باعث عملکرد غیرخطی و غیرایده‌آل آنها می‌شود که برای دفع آن از روش خاموش کردن سریع سوئیچهای متصل به زمینه مجازی و به دام انداختن گره های با مقدار بار ثابت استفاده می‌شود.

٤ـ نیاز به بهره DC بالا برای تقویت‌کننده عملیاتی در فیلترهای با ضریب کیفیت بالا

۵ـ نویز سوئیچها که هم به صورت فلیکرو هم به صورت نویز سفید می‌باشد باعث کاهش رنج دینامیکی فیلترهای SC می‌شود.

۱-۱-۳) فیلترهای SD[1]

روش دیگر فیلتر کردن استفاده از پردازش سیگنال گسسته در حوزهٔ Z است. در این روش نمونه‌های سیگنال در حوزه سیگنال گسسته توسط بلوکهای اصلی فیلتر H(Z) که شامل تاخیر و جمع کننده و ضرب کننده است پردازش می‌شود. دراین پردازش اگر نمونه‌های سیگنال از نظر مقدار پیوسته باشند فیلتر SD و اگر نمونه‌ها گسسته در مقدار باشند فیلتر دیجیتال خوانده می‌شود. در فیلترهای SD به دلیل امکان تحقق توابع تأخیر (Z^{-1}) و جمع کننده و ضرب کننده با بلوکهای آنالوگ، طرح فیلترهای فرکانس بالا با مصرف توان کم امکانپذیر است. در فیلترهای دیجیتال به دلیل نیاز به بلوکهای A/D و D/A در ابتدا و انتهای فیلتر و نیز حجیم بودن مدارات جمع کننده و تأخیر، معمولا مصرف توان بالا و سطح چیپ زیاد اشغال می‌شود. این ویژگیها همراه با محدود شدن رنج فرکانسی در فرکانسهای پایین، کاربرد این نوع فیلترها را محدود کرده است. در آنالیز حوزه Z ، فیلترهای SD مشابه فیلترهای SC هستند از اینرو بسیاری ازخواص این فیلترها بافیلترهای SC قابل مقایسه است. در مجموع این نوع فیلترها ویژگیهای زیر را دارند:

۱ـ نیاز به تقویت کننده‌های فرکانس بالا به طوری که پهنای باند آنها به ۵ برابر فرکانس کلاک برسد. قابل ذکر است به دلیل فیدبک واحد اعمال شده روی تقویت کننده در این مدارات، از کل پهنای باند آنها استفاده می‌شود و درنتیجه پهنای باند مورد نیاز در مقایسه با مدارات مشابه SC، کمتر است.

۲ـ عدم نیاز به دقت در مقادیر خازنهای نمونه بردار و استقلال رنج خطی بودن مدار از خطی بودن خازنها.

---

[1] Sampled – Data

۳ـ اثر تزریق کلاک در مدارات SD (برخلاف مدار SC) باعث عملکرد غیرخطی و غیر ایده‌ال آنها نمی‌شود. بلکه تنها باعث ایجاد آفست در خروجی فیلتر می‌شود که با بزرگ گرفتن مقدار خازنهای نمونه بردار این اثر تا حدود زیادی رفع می‌گردد.

٤ـ نیاز به بافرهای بسیار دقیق از نظر بهره واحد خصوصا در مدارات با ضریب کیفیت بالا، که نیاز به آپ‌امپ با بهره DC بالا را برای کاربرد بافری ایجاب می‌کند.

۵ـ این مدارات نسبت به مدارات SC به دلیل داشتن دو آپ امپ، در یک بلوک Z^{-1} قابل اعتماد حجیم‌تر هستند. البته طراحی و شبیه سازی راحت و نیز عملکرد ساده این مدارات نسبت به مدارات SC، مزیت عمده این مدارات محسوب می‌شود.

٦ـ وجود نویز فلیکر و سفید دراین مدارات، رنج دینامیکی را کم می‌کند.

۱-۲) ارائه معماری جدید برای فیلترهای زمان گسسته

در این تز فیلترهایی با معماری جدید معرفی می‌شوند. این فیلترها که بر اساس ساختار شبکه‌های عصبی بنا شده‌اند دارای ساختاری توزیع یافته و موازی در ضرائب هستند و از نوع فیلترهای زمان گسسته می‌باشند. معماری جدید علاوه بر کاهش حساسیت پارامترهای فیلتر نسبت به متغییرهای مساله، که در اینجا وزنهای شبکه عصبی هستند، دارای دقت پایین در وزنهاست که در نهایت معماری شبکه را بسیار ساده می‌کند. اصولا معماری شبکه عصبی با توجه به اینکه شبکه‌های عصبی سیستمهای توزیع یافته، موازی، دارای قدرت حافظه و تعمیم هستند، دارای توانایی بسیاری است. شبکه‌های عصبی تاکنون به روشهای مختلف بصورت سخت‌افزار و مدار مجتمع پیاده‌سازی شده‌اند، ولی بیشتر کاربرد آنها در زمینه دسته‌بندی و طبقه‌بندی داده‌هایی همچون صدا و تصویر و یا شناسایی سیستمها بوده است و کمتر به عنوان یک سیستم پردازشگر موازی، سریع و توزیع یافته با حساسیت پایین به آنها نگریسته شده‌است.

به ویژه در صورت پیاده‌سازی و ساخت چنین سیستمی با مدار مجتمع آنالوگ، بالقوه به سرعتهای بالا نیز می‌توان دست یافت. در اکثر موارد چون شبکه‌های عصبی عموما غیر خطی هستند باید از آنها بـه عنـوان پردازشگرهای غیرخطی را یک ایده و معماری جدید در دنیای مـدارات مجتمـع نامیـد، کـه در صـورت آموزش صحیح و مطمئن دارای توانایی‌های فراوان خواهند بود. در این تز گوشه‌ای از ایـن مسـاله بـرای شبکه‌های عصبی خطی به عنوان بلوکی بـرای تقریـب تـابع خطـی بررسـی مـی‌شـود و از ایـن ایـده در پیاده‌سازی انواع فیلتر استفاده می‌گردد. فیلتر طراحی شده بر اساس این ایده بصورت مدارات مجتمـع در تکنولوژی ۰/۸μm CMOS پیاده‌سازی شـده‌اسـت. ایـن مـدارات پـس از طراحـی، لـی‌آوت شـده‌انـد و شبیه‌سازیهای پس از لی‌آوت در شرایط معمولی، بدترین توان و بـدترین سـرعت عملکـرد صـحیح ایـن مدارات را نشان می‌دهد. تراشه این فیلتر پس از لی‌آوت ساخته شده‌است و تسـت بلوکهـای مختلـف آن با موفقیت انجام شده‌است.

ساختار این پایان نامه به سه بخش کلی تئوری، طراحی و سـاخت و نتـایج آن تقسـیم میشـود. در فصلهای ۲و۳ مفاهیم و مبانی شبکه‌های عصبی و الگوریتم ژنتیک برای درک ایده فیلتر طراحی شده ارائه شده‌است.

در فصل ٤ ایده جدید طراحی فیلتر زمان گسسته بر اساس ساختار شبکه‌های عصبی بررسـی شـده است و ساختار کلی فیلتر و بلوکهای اصلی سازنده آن بصورت سیستمی نشان داده شده‌است و استراتژی کلی طراحی تراشه ارائه گردیده‌است.

در فصل ٥ مشخصات کلی پروسه استفاده شده مخصوصا مشخصاتی کـه در طراحـی بیشـتر مـورد توجه بوده‌اند برسی شده است.

فصل ٦ به طراحی بلوکهای مختلف فیلتر و بررسی رفتـار قبـل و بعـد از لـی‌آوت آنهـا در تمـامی شرایط معمولی، بدترین توان و بدترین سرعت اختصاص یافته است.

فصل ۷ هم ملاحظات لی‌آوت و لی‌آوت بلوکهای مختلف وکل تراشه را نشان می‌دهـد و در پایـان در فصل ۸ نحوه تست و نتایج حاصل از تست تراشه ارائه میشود.

۲ شبکه‌های عصبی

۲-۱) مقدمه

شبکه‌های عصبی دارای امتیازات زیادی نسبت به کامپیوترهای مدرن هستند. پردازش موازی، محاسبه و پردازش پخش شده[1]، قابلیت یادگیری، قابلیت تعمیم دادن، قابلیت سازش پذیری و تحمل خطا از ویژگیهای خاص شبکه های عصبی است.

این خصوصیات منحصربه فرد شبکه‌های عصبی که براساس ساختار شبکه عصبی بدن انسان مدلسازی شده است، باعث کاربردهای خاص این شبکه‌ها در حل انواع مختلف مسائل مهندسی شده است که به وسیله مدلهای ریاضی جواب دلخواه به دست نمی‌آمده است. کاربردهای مختلف شبکه‌های عصبی عبارتند از:

[1] Distributed

۱- طبقه بندی الگوها: که در آن الگوی ورودی را به یکی از الگوهای از قبل مشخص شده در خروجی مربوط می‌کند. مانند تشخیص حروف الفبا، یا تشخیص صحبت.

۲- دسته بندی: که در آن اطلاعات آموزشی وجود ندارد. الگوریتم دسته بندی شباهتهای میان الگوهای ورودی را تشخیص داده و براساس آنها ورودی را دسته بندی می‌کند.

۳- تقریب زدن تابع: براساس الگوهای آموزشی ورودی (زوجهای ورودی خروجی) که از یک تابع ناشناخته $\mu(x)$ تولید شده‌اند (به همراه نویز) تقریبی به صورت $\hat{m}$ از تابع ناشناخته $\mu(\alpha)$ زده می‌شود. این قابلیت کاربردهای مختلفی درمسائل مدلسازی مهندسی وعلمی دارد.

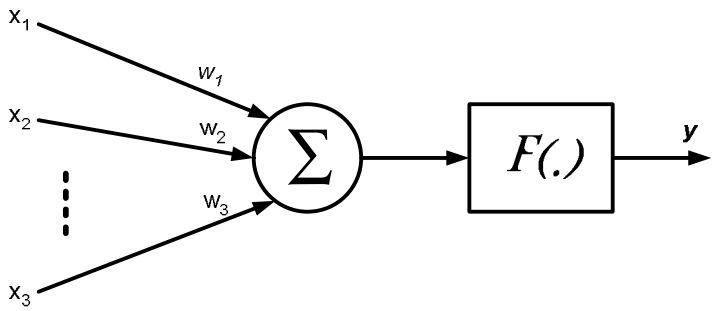
٤- پیشگویی: براساس یک مجموعهٔ n تایی از نمونه های $\{y(t_1), y(t_2), ..., y(t_n)\}$ در زمانهای $t_1, t_2, ..., t_n$، نمونه $y(t_{n+1})$ در یک زمان t_{n+1} پیشگویی می‌شود. این قابلیت کاربردهایی در تجارت و مهندسی دارد. مانند پیشگویی بورس سهام یا وضعیت آب و هوا.

۵- بهینه سازی: که هدف الگوریتم بهینه سازی کمینه یا بیشینه کردن مقدار یک تابع هدف می‌باشد.

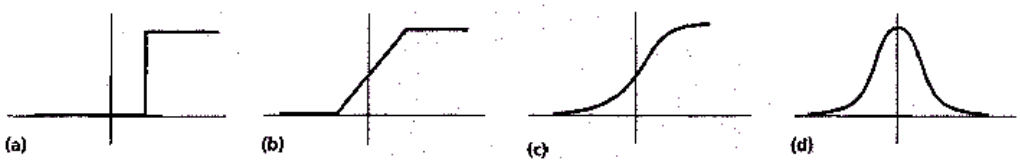
٦- حافظه آدرس پذیر براساس محتوی: درکامپیوترهای امروزی یک محتوی از حافظه به وسیله آدرس آن قابل دسترسی است که این آدرس مستقل از محتوی حافظه می‌باشد. به علاوه حتی یک خطای کوچک در محاسبه آدرس باعث دستیابی به محتوی غلط می‌شود. حافظه ارتباط یافته یا آدرس‌پذیر بر اساس محتوی، براساس محتوی قابل دسترسی است. یعنی محتوی حافظه به وسیله قسمتی از محتوی یا محتوی اغتشاش یافته قابل دسترسی است.

۲-۲) مدل و ساختار شبکه‌های عصبی [2]

واحد محاسباتی شبکه‌های عصبی نرون است. ورودهای یک نرون با ضرایب مختلف با هم جمع



شکل ۲ -۱: مدل یک نرون



شکل ۲ -۲: توابع فعالیت

شده و سپس خروجی سلول پس از اعمال یک عملگر غیرخطی (یـا خطـی) بـر روی مجمـوع فـوق بـه دست می‌آید. رابطه پاسخ نرون به ورودیهایش بصورت رابطه (۲-۱) است.

$$y = f\left(\sum_{j=1}^{n} w_j x_j - u\right) \qquad (۲-۱)$$

که f تابع فعالیت نرون و w_j وزن ورودی x_j است. u آستانه نرون می‌باشد که می‌تـوان آن را بـه صـورت یک ورودی ثابت با ضریب ۱ درنظر گرفت. توابع فعالیت مختلفی وجود دارند که در شکل (۲-۲) چنـد نمونه از آنها دیده می‌شوند.

۲-۲-۱)ساختارهای مختلف شبکه‌های عصبی:

شبکه‌های عصبی براساس نحوه اتصال وارتباط نرونها به یکدیگر بـه دو دسـته اصـلی شـبکه‌هـای پیش‌رو[1] و شبکه‌های فیدبک دار تقسیم می‌شوند. در گراف شبکه‌های پیش‌رو هیچ حلقه‌ای وجود ندارند،

[1] Feed forward

در حالیکه در گراف شبکه‌های فیدبک دار به علت وجود فیدبک، حلقه وجود دارد. معمولترین گروه از شبکه‌های مستقیم،شبکه عصبی چند لایه پیشرو[1] نام دارد که در آن نرونها در چند لایه وجود دارند و ارتباط یک طرفه‌ای بین آنها برقرار است. شبکه‌های مستقیم استاتیک هستند یعنی در پاسخ به یک مجموعه ورودی تنها یک خروجی می‌دهد و همچنین بدون حافظه هستند یعنی خروجی، به حالتهای قبلی شبکه وابسته نیست. شبکه‌های فیدبک‌دار دینامیک هستند و خروجی وابسته به ورودی و حالتهای قبلی شبکه است. هر ساختار شبکه نیاز به الگوریتمهای آموزش مناسب خود دارند.

۲-٤) آموزش:

تغییر ساختار شبکه و وزنهای اتصالات بگونه‌ای که شبکه قادربه انجام مؤثر یک وظیفه خاص باشد را آموزش گویند. شبکه معمولاً وزنهای اتصالات را از الگوهای آموزشی موجود یاد می‌گیرد. یعنی به جای استفاده از یک مجموعه قوانین برای ارتباط بین ورودی و خروجی، شبکه عصبی قادر به یادگیری قوانین (مثل رابطه بین ورودی ـ خروجی) از مجموعه نمونه‌های آموزش است. سه الگوی آموزشی با نظارت[2]، بدون نظارت[3] و ترکیبی[4] وجود دارد. در آموزش با نظارت برای هر الگوی ورودی ، خروجی درست هم به شبکه داده می‌شود و وزنهای شبکه تغییر می‌یابد تا جواب خروجی تا حد ممکن به این خروجی درست نزدیک شود، ولی در آموزش بدون نظارت نیازی به خروجی هر الگوی ورودی نیست. دراین روش ارتباط میان داده‌های ورودی یا همبستگی میان الگوهای ورودی تشخیص داده شده، براساس آنها ورودی ها دسته بندی می‌شوند. در روش ترکیبی قسمتی از وزنها با نظارت و قسمتی دیگر

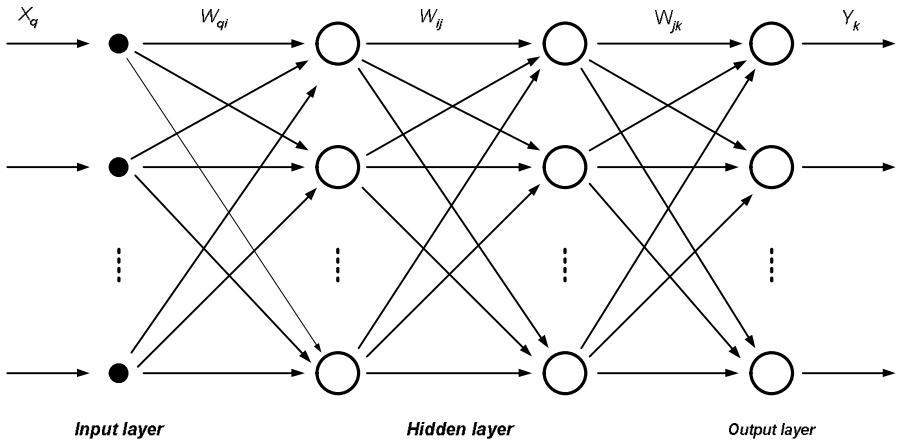
[1] Multilayer Feed Forward
[2] Supervised
[3] Unsupervised
[4] Hybrid

بدون نظارت تعیین می‌شوند. قوانین مختلفی برای آموزش وجود دارد که هر کدام بـا یکـی از الگوهـای آموزشی، الگوریتم مناسب برای آموزش به یک نوع خاص از سـاختار شـبکه‌هـای عصـبی را بـه وجـود می‌آورد.

۲-۵) شبکه‌های عصبی مستقیم چند لایه:

شکل (۲-۳) یک شبکه سه لایه را نشان می‌دهد. شبکه‌های عصبی مستقیم چند لایه دارای ساختار لایه‌ای است. در هر لایه تعدادی نرون وجـود دارد کـه معمـولا تـابع فعالیـت یکسـانی دارنـد. خروجـی نرونهای هر لایه توسط سیناپسها به نرونهای لایه بعداز خود متصل هستند. به هر سیناپس که ارتباط بـین دو لایه شبکه می‌باشد یک وزن w_{ij} اختصاص داده می‌شود که خروجی نرون لایه قبل هنگـام انتقـال بـه ورودی لایهٔ بعد در آن وزن ضرب می‌شود. اگر یک شبکه با m_i گره ورودی و m_o نرون لایهٔ خروجـی را در نظر بگیریم رابطه انتقال خروجی لایهٔ kام به لایهٔ (k+1) ام مطابق رابطه (۲-۲) به دست می‌آید.

$$y_j^{k+1} = f_{k+1}(b_j^{k+1} + \sum_{i=1}^{m_k} w_{ij}^{k,k+1} y_i^k) \qquad (۲-۲)$$



شکل ۲ -۳: شبکه عصبی سه طبقه

که در آن y_i^k خروجی نرون i از لایهٔ k و $w_{ij}^{k,k+1}$ وزن سیناپس بین نرون i از لایهٔ k و نرون j از لایهٔ $k+1$ و m_k تعداد نرونهای لایه k و b_j^{k+1} مقدار بایاس نرون j در لایه $K+1$ است. f_{k+1} نیز تابع فعالیت نرونهای لایه $k+1$ می‌باشد. پارامترهای اصلی شبکه عصبی مستقیم چند لایه مقدار وزنها و بایاس نرونها هستند که در آموزش شبکه این پارامترها برای یادگیری الگوی خاص مورد نظر ما تغییر پیدا می‌کند. پارامترهای ثابت این شبکه‌ها تعداد لایه‌های مخفی و تعداد نرونهای هر لایه است که با تغییر این دو قابلیت شبکه در یادگیری الگوها و همچنین دقت آن در یادگیری الگوها تغییر می‌کند. برای شبکه‌های عصبی پیشرو چند لایه الگوریتم آموزشی انتشار به عقب استفاده می‌شود. این الگوریتم یک روش گرادیان برای کمینه کردن تابع مربع خطا است.

۲-۵-۱) انتخاب پارامترها:

برای انتخاب پارامترهای مهم شبکه عصبی مستقیم چند لایه قبل و در هنگام آموزش، از قبیل تعداد لایه‌ها و تعداد نرونهای هر لایه، تعداد نمونه‌های آموزشی، و تعداد مراحل آموزش هیچ قانون خاص و اثبات شده‌ای وجود ندارد و این موارد بسته به کاربرد، متفاوت است.

۲-۵-۲) قضیه تقریب[5]

همانطور که دیدیم یکی از کاربردهای شبکه‌های عصبی در تقریب زدن توابع است. اما یک شبکه عصبی قابلیت تقریب چه توابعی را دارد؟ در مورد شبکه‌های MLFF این ویژگی به صورت زیر بیان شده است:

«یک شبکه عصبی پیشرو با یک لایهٔ مخفی می‌تواند هر تابع پیوسته تعریف شده در یک بازهٔ محدود را با دقت دلخواه تقریب بزند. دقت تقریب با تعداد نرونهای لایه مخفی تعیین می‌شود.»

به ویژه قضیه هچ نیلسن در این باره می‌گوید: [3]

«در هر تابع پیوسته $f : I^n \longrightarrow I^m$ داده شده، که در آن $I=[0,1]$، می‌تواند دقیقا با یک شبکه عصبی پیشرو با n ورودی، $2n+1$ نرون مخفی و m خروجی ساخته شود. قضیه تقریب از ویژگیهای اساسی شبکه عصبی است. با توجه به اینکه اکثر کاربردهای شبکه عصبی MLFF را به صورت یک تابع از بردارهای ورودی به خروجی می‌توان تعریف کرد، به کمک قضیه تقریب به جواب رسیدن اکثر کاربردها تضمین می‌گردد، به ویژه در این پروژه، ایده حل مسأله براساس قضیه تقریب تابع بنا شده است.

۲-۵-۳) روش آموزش انتشار خطا به عقب[1] [4]

اکثر روشهای آموزش شبکه‌های عصبی و به ویژه روش BP از ایده حرکت در جهت عکس بردار گرادیان استفاده می‌کنند. دراین روش تابع هدف براساس پارامترهای مسأله تعریف می‌شود و در طی مراحل مختلف تکرار تقریب، مقدار پارامترها در جهت عکس بردار گرادیان تابع هدف در فضای پارامترها تغییر داده می‌شوند. در روش BP به طور خاص پس از تعریف تابع هدف ابتدا خروجی نرونهای همه لایه‌های شبکه محاسبه می‌شود (در مسیر پیشرو) سپس خطای خروجی براساس مقادیر نمونه‌های هدف محاسبه می‌شود و در یک مسیر به عقب (از خروجی به ورودی) خطای وزن نرونهای هر لایه از مقدار خطای لایهٔ بعد ازآن به دست می‌آید، (و به این علت این الگوریتم، انتشار خطا به عقب نام دارد) براساس مقادیر خطا تغییرات هر وزن محاسبه و اعمال می‌شود و عملیات تکرار می‌گردد.

[1] Back Propagation (BP)

یکی از معایب عمده روش BP و عموما روشهای مبتنی بر گرادیـان، امکـان توقـف الگـوریتم در کمینه‌های محلی است. در صورت انتخاب تابع هدف پیچیده و یا تعداد زیاد پارامترها کمینه‌هـای محلـی در فضای پارامترها وجود دارند که جواب بهینه برای آموزش شبکه نیستند برای رفع ایـن مشـکل و کـلا بهبود نسبی سرعت همگرایی الگوریتم می‌توان وزنهای اولیه مناسب انتخاب کرد یا وزنها را در محـدودهٔ مناسبی محدود کرد. همچنین انواع جدیدتری از روش انتشار خطا به عقب معرفی شـده‌انـد کـه سـرعت همگرایی را افزایش می‌دهد و یا احتمال همگرایی به کمینه محلی را کاهش می‌دهد.

۳ الگوریتم ژنتیک

۳-۱) مقدمه:

الگوریتم ژنتیک یک روش بهینه سازی و جستجو می‌باشد که بوسیله جستجوهای تصادفی هدایت شده در یک فضای چند بعدی ، به سوی جواب بهینه حرکت می‌کند. ایده اصلی این الگوریتم براساس تحولات بیولوژیک و انتخاب طبیعی که موجب بقای اصلح می‌شود ، بنا شده است.

در طبیعت افرادی که بهترین شرایط برای رقابت بر سر منابع حیات را دارند باقی می‌مانند. سازگار شدن با تغییرات محیط از ضروریات بقای افراد یک نسل است. خصوصیات هر فرد به وسیله محتوای ژنتیکی‌اش مشخص می‌شود که این خصوصیات قابلیت بقای فرد را نشان می‌دهد.بنابراین هر خصوصیت به وسیله یک واحد پایه بنام ژن کنترل می‌شود. مجموعه‌ای از ژنها تشکیل یک کروموزوم می‌دهند که یکسری از خصوصیات فرد راکنترل می‌کند و در واقع کلید بقای فرد در یک محیط رقابتی است.

اگر چه تکامل به صورت رشته‌ای از تغییرات در خصوصیات یک نسل نمود پیدا می‌کند، اما در واقع تغییرات محتوای ژنتیکی است که اساس تکامل راتشکیل می دهد. این تغییرات محتوا به وسیله انتخاب طبیعی و ترکیب مواد ژنتیکی که در هنگام عمل تولیدمثل صورت می‌گیرد، انجام می‌شود.

در طبیعت رقابت بین افراد بر سر منابع حیات، باعث افزایش افراد شایسته و حذف افراد ضعیف می‌شود، بگونه‌ای که در نهایت بهترین افراد باقی می‌مانند و تولیدمثل می‌کنند؛ به این پدیده «بقای اصلح» گفته می شود. این بدین معنی است که بهترین ژنها که در بردارنده بهترین ومناسبترین خصوصیات هستند، باقی می‌مانند و بقیه حذف می‌شوند. این عمل آنقدر ادامه می‌یابد تا در نهایت تنها بهترین ژنها باقی می‌مانند.

با ایده گرفتن و بررسی دقیق این پروسه طبیعی الگوریتم ژنتیک بوجود آمده است و امروزه کاربردهای مختلفی نظیر بهینه سازی توابع،شناسایی و کنترل سیستمها، پردازش تصویر، تعیین توپولوژی شبکه‌های عصبی مصنوعی و سیستمهای پایگاه داده و بهینه سازی توابع با تعداد پارامترهای متغیر، یافته است. از مزایای عمده الگوریتم ژنتیک به موارد زیر می‌توان اشاره کرد:

۱ـ استفاده از پارامترهای کد شده و قابلیت تغییر آنها با رزولوشن بالا.

۲ـ جستجوی نقاط بسیار زیاد در فضای پارامترهای مورد بهینه سازی.

۳ـ استفاده از قوانین احتمال و جستجوی تصادفی و عدم توقف در کمینه‌های محلی.

٤ـ امکان رسیدن به جواب بهینه مطلق با شرایط خاص

۳-۲)الگوریتم ژنتیک:

در الگوریتم ژنتیک پارامترها و اجزای مورد توجه عبارتند از: یک جمعیت[1] از رشته‌های باینری پارامترهای کنترل ، تابع شایستگی[2] ، عملگرهای ژنتیکی (پیوند[3] و جهش[4]) ، مکانیزم انتخاب ، مکانیزم کد کردن جوابها به صورت یک رشته باینری.

برای درک الگوریتم ژنتیک، دراین قسمت مراحل استفاده شده و عناصر این الگوریتم به طور مختصر و در حد رفع نیاز تشریح می‌شود. ابتدا به شرح چند واژه عمومی مورد استفاده درالگوریتم ژنتیک می‌پردازیم: [6,7,8]

۱ـ ژن[5] : کوچکترین عنصر محاسباتی دریک GA که مجموعه چندتای آن در کنار هم یک کد (کروموزوم) را می‌سازند. هر ژن در واقع دربردارنده یک ویژگی از جواب مسأله است.

۲ـ کروموزوم[6] : مجموعه چند ژن کنار هم که یک کد را تشکیل می‌دهند. معمولا مجموعهٔ پارامترهای مسأله در کنار هم یک کد متشکل از ژنها یا یک کروموزوم را تشکیل می‌دهند. در واقع یک کروموزوم تمام ویژگیها و خصوصیات یک جواب مسأله را دربردارد.

۳ـ نسل[7] : مجموعهٔ کروموزوم‌های تشکیل دهنده یک مرحله[8] که پس از انجام عملگرهای مختلف بر روی آنها به تدریج نسل تکامل می‌یابد و نسلهای بعدی به وجود می‌آیند. به تعداد کروموزوم‌های یک نسل، جمعیت نسل اطلاق می‌شود.

---

[1] Population
[2] Fitness function
[3] Crossover
[4] Mutation
[5] Gene
[6] Chromosome
[7] Generation
[8] Iteration

٤ـ شایستگی : تابع کیفیت که معیاری برای ارزیابی یک کروموزوم است. در واقع این تابع به گونه‌ای بیان می‌کند که یک کروموزوم چه مقدار از شرایط مسأله را برآورده می‌کند و تا چه حد به عنوان جواب مسأله قابل قبول است. مثلا درمسأله بهینه سازی، معمولا مقدار تابع خطا، حاصل از پارامترهای یک مرحله، شایستگی کروموزوم شامل آن پارامترها را تعیین می‌کند. معمولا مقدار این تابع نرمالیزه می‌شود تا در محدوده ۰ تا ۱ قرار گیرد.

۵ـ والدین[1] : برای انجام مرحله دیگری از تکرار نسلها که منجر به تکامل آنها می‌شود باید نسل جدیدی از کروموزومها را تشکیل داد. کروموزومهای نسل جدید، هر کدام از انجام عملگرهای ژنتیکی مانند پیوند یا جهش بر روی کروموزومهای نسل قبل از خود ساخته می‌شوند. با انجام عملگرهای ژنتیکی بر روی دو کروموزوم انتخابی از نسل قدیم، یک کروموزم نسل جدید به وجود می‌آید، که به آن دو کروموزوم قبلی والدین گفته می‌شود.

همانطور که دیدیم برای انطباق الگوریتم ژنتیک بر مسأله مورد نظر و استفاده از آن جهت دستیابی به جواب بهینه ، مراحل و عملگرهای مختلفی استفاده می‌شوند که به شرح مختصر هر یک می‌پردازیم.

۳-۲-۱) مکانیزم کد کردن

الگوریتم ژنتیک به طور مستقیم روی جواب مسأله جهت دستیابی به جواب بهینه پردازش انجام نمی‌دهد. جواب مسأله ابتدا کد می‌شود و این الگوریتم روی کدها پردازش انجام می‌دهد ودر فضای کدها به دنبال کد بهینه که معرف جواب بهینه است می‌گردد. به همین دلیل یک کد ممکن است برای جواب مسأله‌های گوناگون قابل استفاده باشد. آنچه در واقع کدها رامنطبق بر یک مسأله می‌کند تابع

[1] Parents

شایستگی است که به هر کد مطابق مسأله موردنظر یک مقدار شایستگی تخصیص می‌دهد که بیان می‌کند این کد تا چه حد شرایط مسأله را برآورده می‌کند.

از مهمترین قسمتهای ساختار الگوریتم GA انتخاب مکانیزم کد کردن مناسب برای متغیرهای مسأله بهینه سازی است. انتخاب این مکانیزم به طبیعت متغیرهای مسأله بستگی دارد. معمولا مسائل بهینه‌سازی متغیرهای با مقدار حقیقی دارند که می‌توان آنها را به یک محدودهٔ اعداد صحیح متناظر کرد و سپس هر عدد صحیح را به صورت باینری با دقت مورد نظر کد کرد. مثلا اگر متغیر مابین ۱/۲۸- تا ۱/۲۸ باشد می‌توان این محدوده را به اعداد صحیح در بازه [۱۲۸ و ۱۲۸-] متناظر کرد و سپس اعداد این بازه را کد کرد.

۳-۲-۲)مکانیزم انتخاب

مکانیزم انتخاب پروسه بقای اصلح در طبیعت را مدل می‌کند. جوابهای مناسبتر باقی می‌مانند در حالی که جوابهای بدتر به تدریج حذف می‌شوند. یک رشته مناسبتر تعداد بیشتری فرزند تولید می‌کند ، بنابراین شانس بقای بیشتری در نسلهای بعد خواهد داشت. مکانیزمهای مختلفی برای چگونگی انتخاب و تعداد انتخاب از بین کروموزومهای نسل قبلی برای ایجاد نسل جدید وجود دارد. مثلا در روش انتخاب متناسب[1] تعداد فرزند هر کروموزوم برابر با نسبت $\frac{f_i}{\overline{f}}$ است که f_i مقدار شایستگی کروموزوم و $\overline{f}$ متوسط شایستگی نسل است. به عبارت دیگر امکان انتخاب هر کروموزم برای تولید مثل $\frac{f_i}{\overline{f}}$ است.

[1] Proportionate selection

روش دیگر انتخاب کروموزومها با احتمال $\frac{1}{2^{rank}}$ است. به عبارتی شایسته‌ترین کروموزوم ۵۰% احتمال تولید مثل و کروموزوم بعدی ۲۵% و بهمین ترتیب با کاهش رتبه کروموزوم در نسل احتمال تولیدمثل و در نتیجه تعداد فرزندان کاهش می‌یابد.

۳-۲-۳) پیوند

بعد از فرآیند انتخاب برای تولید نسل جدید از نسل قبلی از دو عملگر پیوند و جهش استفاده می‌شود. برای انجام عملگر پیوند روشهای مختلف تک نقطه، دو نقطه، چند نقطه و روش یکنواخت وجود دارد.

در روش تک نقطه، جفت کروموزومها به طور تصادفی از نسل میانی انتخاب می‌شوند. سپس یک نقطه تصادفی در محدوده L-1 انتخاب می‌شود که L طول کروموزوم است. سپس ژنهایی از دو کروموزوم که بعد از این نقطه قرار دارند، با هم جابجا می‌شوند. عمل پیوند همیشه انجام نمی‌شود به این ترتیب که پس از انتخاب زوج کروموزومها تنها در صورتی این عمل پیوند انجام می‌شود که عدد تصادفی تولید شده بین ۰ و ۱ بزرگتر از Pc که نرخ پیوند است باشد، در غیر این صورت زوج کروموزوم هیچ تغییری نمی‌کند.

در روش دو نقطه، دو نقطه به طور تصادفی انتخاب شده و قسمت بین این دو نقطه از دو کروموزوم جابجا می‌شوند. این عمل از بایاس روش تک نقطه به سمت نقاط انتهایی کروموزوم جلوگیری می‌کند. توسعه یافته این روش، روش چندنقطه است که k نقطه به طور تصادفی در محدودهٔ L انتخاب می‌شود و قسمتهای متناظر بین نقاط انتخاب شده به صورت تصادفی با هم جابجا می‌شوند. در روش یکنواخت بیتهای متناظر از دو کروموزوم به طور تصادفی با هم جابجا می‌شوند که احتمال انتخاب یک بیت برای جابجایی مستقل از انتخاب بیتهای دیگر است. نتایج عملی و تئوری نشان می‌دهد که

روش یکنواخت به صورت یکنواخت‌تری (با احتمال یکسان) بیتها را جابجا می‌کند ، اما باعث خراب شدن بیشتر ساختار یک کروموزوم نسبت به حالت اول می شود. در حالیکه روشهای دو نقطه و تک نقطه ساختارهای شایسته یک کروموزوم را حفظ می‌کنند ، اما به علت طبیعت جستجوگری ضعیف آنها در جمعیتهایی که شباهت زیادی بهم دارند مناسب نیستند. انتخاب نوع پیوند بستگی به نوع جمعیت و اندازه آن دارد. نتایج تجربی نشان می‌دهد که پیوند یکنواخت برای جمعیتهای کوچک مناسبترند در حالیکه روش دو نقطه برای جمعیتهای بزرگ مناسب است. ویژگی به هم ریختگی[1] در روش یکنواخت باعث قابلیت جستجوگری بالای آن در جمعیت کوچک می‌شود در حالیکه در جمعیت بزرگ به علت تنوع کروموزومها نیاز به این قابلیت نداریم.

۳-۲-٤) جهش

بعد از پیوند عمل جهش انجام می‌شود. جهش یک بیت، مکمل کردن آن است. هر بیت یک کروموزوم مستقل از بقیه بیتها، با نرخ جهش P_m جهش می‌یابد. در الگوریتم ژنتیک، عملگر جهش از اهمیت کمتری برخوردار است و نقش آن بازیابی ژنهای (ویژگیهای) مناسب از دست رفته است. در حالیکه عملگر پیوند به منظور مبادله ساختارهای شایسته بین کروموزومها استفاده می‌شود.

۳-۳) ساختار یک الگوریتم ژنتیک:

الگوریتم ژنتیک به صورت زیر پیاده سازی و اجرا می‌شود:

```
Simple Genetic Algorithm ( )
{
```

[1] Disruption

```
Initialize population;
Evaluate population;
While termination criterion not reached
        {
         Select solution for next population;
         Perform crossover and mutation;
         Evaluate population;
        }
}
```

در ابتدا یک نسل اولیه با جمعیت مشخص که در طول مسأله ثابت خواهد ماند به طور تصادفی تولید می‌شود. سپس هر کروموزوم دیکد شده، تبدیل به دسته پارامترها و متغیرهای جواب مسأله می‌شود. حال بااستفاده از تابع شایستگی به هر کروموزوم یک مقدار شایستگی نسبت داده می شود. پس از ارزیابی کامل تک تک کروموزومها، یک نسل میانی با جمعیت یکسان با نسل قبلی ساخته می‌شود. در واقع براساس مکانیزم انتخاب، کروموزومهای با شایستگی بهتر برای نسل میانی انتخاب می‌شوند. سپس به طور تصادفی زوج کروموزومها انتخاب می‌شوند. عملگر پیوند با نرخ P_c بر روی این زوج کروموزومها عمل می‌کند. پس از آن کروموزومهای حاصل با نرخ P_m جهش پیدا می‌کنند؛ در عملگر پیوند ژنهای یکسان در والدین با هم جابجا می‌شود و به این ترتیب فرزندان از هر دو والد ارث می‌برند. عملگر پیوند قادر به ایجاد اطلاعات جدید که در نسل قبل موجود نبوده نمی‌باشد، چون تنها اطلاعات موجود را جابجا می‌کند. عملگر جهش این نیاز را برآورده می‌کند. این کار با تغییر تصادفی ژنهایی از یک والد صورت می‌گیرد، که این تغییر تصادفی می‌تواند منجر به ایجاد اطلاعات جدید در نسل شود.

کروموزومهای جدید پس از تولید کامل نسل، جایگزین جمعیت والد می‌شوند تا مورد ارزیابی قرار گیرند. فرآیند جستجو آنقدر ادامه می‌یابد تا به شرط توقف الگوریتم برسیم. این شرط می‌تواند رسیدن به یک شایستگی خاص برای یک کروموزوم، یا تکرار الگوریتم به تعداد مشخصی نسل باشد.

۳-۳-۱) پارامترهای کنترلی [9]

عملکرد الگوریتم ژنتیک از نظر همگرایی و سرعت همگرایی به پارامترهای کنترلی بستگی دارند. پارامترهای کنترلی یعنی نرخ پیوند، نرخ جهش و اندازه هر جمعیت به طبیعت مسأله و تابع شایستگی بستگی دارند. براساس نتایج تجربی برای انتخاب پارامترهای کنترلی بهینه به موارد زیر باید توجه داشت:

l افزایش احتمال پیوند، ترکیب ساختارهای پایه را افزایش می‌دهد اما باعث افزایش بهم ریختگی رشته‌های شایسته می‌شود.

l افزایش احتمال جهش، جستجوی ژنتیکی را به یک جستجوی تصادفی نزدیکتر می‌کند، اما به بازیابی ژنها و خواص گم شده کمک می‌کند.

l افزایش اندازهٔ جمعیت باعث افزایش تنوع کروموزومهای آن می‌شود و احتمال هگرایی الگوریتم به بهینه‌های محلی را کاهش می‌دهد، اما همچنین زمان همگرایی و رسیدن به جواب بهینه را افزایش می‌دهد.

باید توجه داشت که پارامترهای کنترلی در ارتباط با یکدیگر هستند و نمی‌توان به طور مستقل آنها راانتخاب کرد. به عنوان مثال در جمعیتهای کوچک نیاز به نرخ پیوند و جهش بیشتری برای جستجوی فضای جواب داریم.

۳-۳-۲) روشهای دینامیک و سازگار شونده[1]:

در مسائل عملی، ساختار ثابت پارامترهای کنترلی باعث کاهش کارآیی الگوریتم می‌شود. پارامترهایی که درمراحل اولیه جستجو بهینه بودند معمولا پس از پیشروی الگوریتم درمراحل پایانی الگوریتم کارآیی خود را از دست می‌دهند. برای غلبه بر این مشکل از روشهای دینامیک برای تغییر پارامترهای کنترلی استفاده می‌شود.

در روش اول، احتمال جهش به صورت نمایی با افزایش تعداد نسلها، کاهش می‌یابد تا به این وسیله نرخ جستجو و بهم ریختگی رشته‌ها با همگرا شدن جمعیت در فضای جستجو به تدریج کاهش بیابد. در یک روش دیگر، احتمال بکارگیری عملگرهای مختلف ژنتیکی براساس کارآیی آنها تغییر می‌کند. هر عملگر براساس مقادیر شایستگی رشته‌ها که در نسلهای بعدی ایجاد می‌کند، ارزیابی می‌شود و براساس مقدار کارآیی‌اش احتمال بکارگیری آن کم یا زیاد می‌شود. در اغلب موارد پس از اینکه قسمت عمده‌ای از جمعیت همگرا شد (در نتیجه رشته‌ها شبیه هم شدند)، عملگر پیوند کارآیی خود را برای تولید رشته‌های بهتر از دست می‌دهد. در این شرایط معمولا نرخ جهشهای کم (۰/۰۰۱ تا ۰/۰۱) برای ادامه جستجو کافی نیستند. در این موقعیت یک روش دینامیک برای تغییر نرخ جهش براساس فاصله همینگ[2] بین رشته‌ها می‌تواند مؤثر واقع شود. نرخ جهش با کاهش فاصله همینگ بین رشته‌ها، افزایش می‌یابد. هر چه شباهت رشته‌هایی که با هم پیوند می‌یابند به یکدیگر بیشتر باشد، قابلیت پیوند برای تولید رشته‌های جدید کاهش می‌یابد، اما افزایش نرخ جهش قابلیت جستجوی الگوریتم را حفظ می‌کند.

---

[1] Adaptive methods
[2] Hamming

۳-٤) استفاده از الگوریتم ژنتیک در آموزش شبکه‌های عصبی [11,12]

در آموزش شبکه‌های عصبی ما قصد داریم با یک مجموعهٔ آموزش[1] که مجموعه‌ای از ورودی‌ها و خروجی‌های شبکه است، یک تابع یا یک الگوی خاص را به شبکه آموزش دهیم. روش‌های متداول که به آنها اشاره‌ای کردیم مانند انتشار خطا به عقب، در حالاتی که وزنهای شبکه پیوسته هستند جواب خوبی به دست می‌آورند. ولی اگر وزنها را گسسته اختیار کنیم این روشها اغلب در کمینه‌های محلی همگرا می‌شوند و جواب بهینه پیدا نمی‌شود؛ لذا در حالاتی که وزنها گسسته هستند باید روش دیگری برای یافتن وزنها انتخاب نمود. در واقع این یک مسأله بهینه سازی است که تعداد پارامترهای مورد نظر و شرایط حاکم بر مسأله بسیار زیاد و برابر تعداد وزنهای شبکه عصبی است. به همین دلیل از روش الگوریتم ژنتیک می‌توان استفاده کرد که قابلیت جستجوی پارامترهای بهینه را در فضای چندبعدی پارامترها دارد. با توجه به تواناییهای الگوریتم ژنتیک به دلیل فرم خاص مسأله که در آن تعداد پارامترهای بهینه شونده زیاد و پیچیده است و اطمینان کافی از همگرا شدن به یک پاسخ، از آن در این مسأله استفاده می‌شود. .

مزیت عمدهٔ دیگر این روش در زمان پیاده سازی شبکه عصبی است، زیرا دراین الگوریتم تنها به خروجی نهایی شبکه عصبی نیاز است، در حالیکه مثلا در روش انتشار خطا به عقب به خروجی نرونهای لایهٔ مخفی هم نیاز داریم. این مزیت وقتی روشن‌تر می‌شود که بخواهیم یک شبکه عصبی با تعداد نرونهای زیاد را آموزش دهیم که در صورت پیاده سازی سخت افزاری روش دوم نیاز به تعداد زیادی پایه در تراشه برای دستیابی به خروجی نرونها دارد. همچنین درعمل دیده می‌شود که این روش در مقایسه باانتشار خطا به عقب و یا حتی انتشار خطا به عقب اصلاح یافته بسیار سریع‌تر همگرا می‌شود.

---

[1] Training set

۳-٤-۱) انطباق الگوریتم ژنتیک برای آموزش شبکه عصبی [13,15]

در این بخش روش استفاده از الگوریتم ژنتیک برای آموزش شبکه‌های عصبی با وزنهای گسسته توضیح داده می‌شود. همانطور که دیدیم، هر الگوریتم ژنتیک اجزای خاصی دارد که وابسته به مسأله مورد نظر، به طور صحیح تعریف می‌شوند. در مسأله بهینه سازی، کروموزومها در واقع مجموعهٔ پارامترهای بهینه شونده هستند. پارامترهای مسأله کد می‌شوند و در کنار هم قرار می‌گیرند ودر نهایت مجموعهٔ کدها یک کروموزوم را تشکیل می‌دهد. در مسأله یافتن وزنهای شبکه عصبی برای یادگیری یک تابع یا الگوی خاص، هر وزن یک ژن است. مکانیزم کد کردن پارامترها که اینجا وزنها هستند به اینگونه است که به هر وزن از مجموعه وزنهای قابل انتخاب اعداد ۰ و ۱ و ... n نسبت داده می‌شود. پس هر ژن می‌تواند از ۰ تا n را اختیار کند. مقدار وزنها می‌توانند هر مقدار دلخواهی باشند و نیاز نیست که توزیع خاصی داشته باشند. هر کروموزوم شامل تمام وزنهای شبکه عصبی می‌باشد و در نتیجه یک شبکه عصبی کامل است. برای ارزیابی هر کروموزوم از مجموعه آموزش استفاده می‌شود به این ترتیب که برای هر کروموزوم تست می‌کنیم تا چه اندازه خروجی شبکه به ورودیهای مجموعه آموزش، به خروجی مورد نظر نزدیک است یا به عبارتی تا چه اندازه شبکه عصبی مجموعه آموزش را خوب یاد گرفته است. شرط توقف الگوریتم میتواند رسیدن به یک مقدار مناسب از خطای خروجی به ازای وزنهای یک کروموزوم می باشد.

۴

فیلتر براساس ساختار شبکه عصبی

٤-١) تئوری فیلترهای زمان گسسته

روش سیستماتیک برای ارائه الگوریتم‌های زمان گسسته استفاده از تبدیل Z است که مشابه تبدیل لاپلاس در حوزه آنالوگ است. در روابط زیر معادلات زمان گسسته در حوزهٔ زمان و فرکانس (Z) سیستمهای با پاسخ ضربهٔ محدود[1] و پاسخ ضربه به طول نامحدود[2] آمده است:

$$y(n) = a_n x(n) + a_{n-1} x(n-1) + \ldots + a_{n-k} x(n-k) \qquad (١-٤)$$

$$Y(z^{-1}) = \sum_{i=0}^{k} a_{n-i} X(z^{-1}) z^{-i} \qquad (٢-٤)$$

$$b_n y(n) + b_{n-1} y(n-1) + \ldots + b_{n-l} y(n-l) = a_n x(n) + a_{n-1} x(n-1) + \ldots + a_{n-k} x(n-k) \qquad (٣-٤)$$

---

[1] FIR
[2] IIR

$$\sum_{i=0}^{l} b_{n-i} Y(z^{-1}) z^{-i} = \sum_{j=0}^{k} a_{n-j} X(z^{-1}) z^{-j} \qquad (٤-٤)$$

به همین ترتیب تابع تبدیل یک سیستم IIR در حوزهٔ Z به صورت رابطه (٤-٥) بیان می‌شود:

$$H(z^{-1}) = \frac{\sum_{j=0}^{k} a_{n-j} z^{-j}}{\sum_{i=0}^{l} b_{n-i} z^{-i}} \qquad (٥-٤)$$

با انتخاب مناسب ضرایب a_{n-j} و b_{n-i} در رابطهٔ (٤-٥) سیستمهای پردازشگر مختلف به دست می‌آید که شایدبتوان گفت مهترین نوع آنها فیلترهای DT هستند. طراحی فیلترهای DT و استخراج مقادیر مختلف a_{n-j} و b_{n-i} به روشهای گوناگون از جمله طراحی مستقیم از روی فیلتر زمان پیوسته و یا تبدیل حوزه فرکانس پیوسته به گسسته با تبدیلهای مختلف صورت می‌گیرد. [10]

این پروژه در واقع طراحی و ساخت یک ساختار جدیدپیاده سازی هر نوع فیلتر DT با تابع تبدیل (٤-٥) است. ساختار پیشنهادی به نوعی مشابه ترکیبی ازروشهای پیاده سازی موازی و مستقیم است که برپایه معماری شبکه‌های عصبی قرارگرفته است.

٤-١-١) ایده معادلات تفاضلی

با توجه به قضیه تقریب در بخش (٢-٥-٢)، شبکه عصبی پیشرو بایک لایهٔ مخفی بالقوهٔ قابلیت یادگیری رابطه‌ای به صورت زیر را به عنوان یک تابع داراست:

$$(y_1, y_2, \ldots, y_n) = f(x_1, x_2, \ldots, x_n) \qquad (٦-٤)$$

صرفا باید تعدادنرونهای لایهٔ مخفی به طور مناسب انتخاب شوند. یکی از ایده‌هایی که با توجه به این مسأله مطرح می‌شود و از نکات کلیدی این پروژه محسوب می‌گردد، آموزش عملکرد تفاضلی به شبکهٔ عصبی است. معادلات تفاضلی یک سیستم با پاسخ ضربهٔ محدود تنها به مقادیر ورودی با تأخیر

زمانی مختلف (نمونه‌های $x(n-k),\ldots,x(n-1),x(n)$ که در آن x سیگنال ورودی و $n-i$ اندیس نمونهٔ زمانی در حوزه زمان پیوسته میباشد) وابسته است. لذا با توجه به مورد ذکر شده می‌توان انتظار داشت یک شبکه عصبی پیشرو بتواند معادلات تفاضلی یک سیستم FIR را که به صورت رابطه زیر خواهد بود آموزش ببیند:

$$y=f(x(n),x(n-1),\ldots,x(n-k)) \qquad (۷-٤)$$

در رابطه بالا f یک تابع خطی است و تعداد نمونه‌ها (k) درجه سیستم FIR را مشخص می‌کند. امکان اعمال یک معادلهٔ تفاضلی درجه دوم و بالاتر توسط تنها دوسطح محاسبه (ورودی شبکه به لایه مخفی و لایه مخفی به خروجی) وجود دارد. نکته بسیار پراهمیت، امکان پیاده سازی سیستم معادلات تفاضلی با حساسیت بسیار کوچک است، زیرا شبکه عصبی یک سیستم محاسباتی توزیع یافته است که حساسیت خروجی نسبت به پارامترهای شبکه کم خواهد بود و درنتیجه پیاده سازی سیستم نهایی با معماری شبکه عصبی باعث کم شدن حساسیت به وزنهای سیناپسی (که در نهایت ضرایب فیلتر را خواهند ساخت) می‌شود.

٤-۲) طراحی فیلتر بر اساس ساختار شبکه‌های عصبی [14]

در این مرحله هدف ساخت فیلترهای با مشخصات دلخواه براساس شبکه‌های عصبی آموزش دیده توسط روش آموزش معادلات تفاضلی است. آنچه می‌توان به عنوان ابزار استفاده کرد شبکه‌های عصبی است که معادلات FIR به فرم رابطهٔ (٤-۲) را تقریب می‌زنند و به عبارتی درحوزهٔ فرکانس زمان گسسته (Z) به صورت رابطه (٤-۸) هستند.

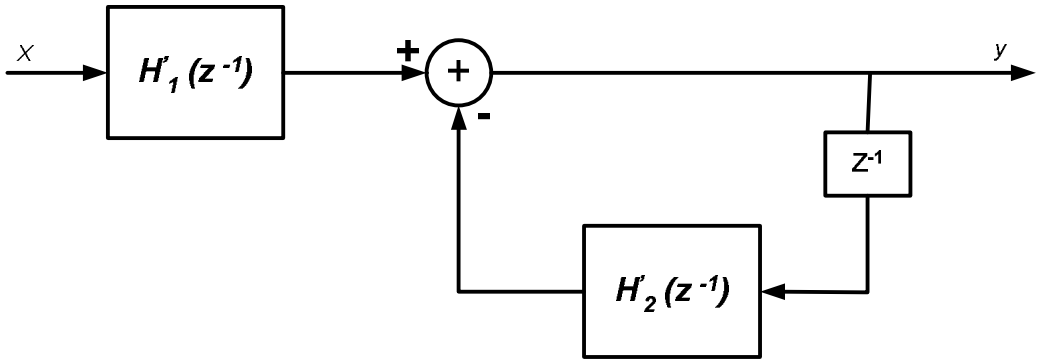
$$H(z^{-1})=\frac{Y(z^{-1})}{X(z^{-1})}=\sum_{i=0}^{N}a_i z^{-i} \qquad (۸-٤)$$

در حوزه زمان گسسته فیلترهای زمان گسسته فیلترهـای Sampled–Data نیـز نامیـده مـی‌شـوند. مشخصه کلی یا تابع تبدیل یک فیلتر SD به صورت رابطه زیر است:

$$T(z^{-1})=\frac{a_0+a_1z^{-1}+...+a_nz^{-n}}{b_0+b_1z^{-1}+...+b_nz^{-n}}=\frac{H_1(z^{-1})}{H_2(z^{-1})} \qquad (۹-٤)$$

که در آن H_1 و H_2 توابعی به شکل (٤-٨) هستند. روشهای مختلفی برای پیاده سازی $T(z^{-1})$ وجود دارد. به عنوان مثال در صورت علی بودن سیستم رابطهٔ (٤-٩) به صورت زیر درمی‌آید:

$$T(z^{-1})=\frac{a'_0+a'_1z^{-1}+...+a'_nz^{-n}}{1+z^{-1}(b'_1+b'_2z^{-1}+...+b'_nz^{-n+1})}=\frac{H'_1(z^{-1})}{1+z^{-1}H'_2(z^{-1})} \qquad (۱۰-٤)$$



شکل ٤ -۱: نحوه پیاده‌سازی تابع تبدیل در حوزه z

و پیاده سازی این معادله به سادگی و توسط سـاختار شـکل (٤-١) انجـام مـی‌شـود.یکـی از ویژگیهـای پراهمیت در ساخت این فیلتر، پایین بودن سطح حساسیت خروجی نسبت به پارامترهای شبکه است.

٤-٢-١)مزایا و معایب ساخت فیلتر قابل آموزش با شبکه عصبی

یکی از علل اصلی بنیاد نهادن روش ساخت فیلتر با شبکه عصبی صرفا از دیدگاه سیستماتیک و نه با ملاحظات سخت افزاری، مزایای ویژه معماریهای شبکه عصبی است. از مهمترین ایـن مزایـا مـی‌تـوان

ساختار موازی و توزیع یافته شبکه را نام برد که در عمل علت اصلی حساسیت پایین این ساختار نسبت به هر کدام از ضرائب سیناپس‌ها (وزن‌ها) است. با بکارگیری ایده پیاده سازی معادلات تفاضلی با توجه به اینکه شبکه عصبی با معماری پیشرو، از نظر تئوری قابلیت این پیاده سازی با دقت زیاد را دارا است افق تازه‌ای جهت استفاده از این روش یافت می‌شود. از مزایای عمده این روش برای ساخت فیلتر موارد زیر را می‌توان نام برد:

۱ـ دارای ساختار کلی و عمومی است. به عبارتی مسأله اصلی ، آموزش یک یا چند شبکه عصبی جهت یادگیری معادلات تفاضلی است. نحوهٔ اتصال بلوکها کاملا انعطاف‌پذیر است و از انواع معماری‌ها با مزایای مختلف برای طراحی فیلتر می‌توان استفاده کرد.

۲ـ از نظر تئوری چون هر معادلهٔ تفاضلی با دقت دلخواه به کمک یک شبکهٔ عصبی پیاده سازی می‌شود می‌توان ادعا کرد که فیلترهای مختلف Sampled-Data که از اتصال بلوکهای معادلات تفاضلی ساخته می‌شوند به سادگی توسط این روش قابل پیاده سازی هستند.

۳ـ از مزیتهای بسیار عمده این روش امکان طرح یک ساختار کلی از دیدگاه معماری و صرفا تغییر ضرایب بلوکهای شبکه عصبی موجود در طرح و در نتیجه معادلات تفاضلی باآموزش شبکه عصبی است. به این ترتیب تنها با آموزش مجدد شبکه‌ها و بدون تغییر ساختار، انواع فیلترهای مختلف پایین‌گذر ، بالاگذر، میان‌گذر و میان‌نگذر قابل پیاده‌سازی است ویا به زبان دیگر می‌توان تراشه‌ای ارائه کرد که در عین سادگی و بدون نیاز به بازآرایی[1] شدن به انواع فیلترها و به طور کلی‌تر به انواع تابع تبدیل حوزه گسسته تبدیل می‌شود.

ازنکات برجسته روش حاضر استفاده از وزنهای کوانتیزه در طراحی است. چون دقت وزنها بسیار پایین است مزایای بسیاری به همراه دارد که در بخش بعد بحث می‌شود. همانطور که ذکر شد برای

[1] Reconfiguration

دستیابی به فیلترهای مختلف با معماری ثابت، شبکه‌های عصبی به نحوی در سیستم قرار دارند که قابل آموزش هستند. روش آموزش شبکه‌های عصبی از نوع الگوریتم ژنتیک است که خود دارای مزایای بسیاری است و الگوریتم بسیار ساده است. باتوجه به اینکه در فضای وزنهای کوانتیزه روشهای عادی آموزش مانند انتشار خطا به عقب دچار مشکل می‌شود، استفاده از الگوریتم ژنتیک که بر روی فضا به عنوان یک الگوریتم بهینه ساز، دنبالیابی جهانی انجام می‌دهد، سرعت همگرایی الگوریتم را بسیار بالا می‌برد و امکان گرفتار شدن درکمینه‌های محلی رویه خطا را نیز کاهش می‌دهد. دو مزیت دیگر الگوریتم ژنتیک دربخش سخت افزار معرفی شده‌اند.

٤-٢-٢) مزایا از دیدگاه سخت افزار

شاید بتوان گفت مزایای بسیار جالب توجه روش جاری در طراحی و ساخت فیلتر بیشتر مربوط به برجستگیهای روش از نظرگاه پیاده سازی و سخت افزار است. در ادامه به بررسی این جنبه از نکات قابل ذکر طرح پرداخته می‌شود:

۱ـ همانطور که ذکر شد طرح جاری مبتنی بر طراحی فیلتر براساس شبکه‌های عصبی با وزنهای کوانتیزه است. یکی از مسائلی که در هنگام ساخت شبکه‌های عصبی مطرح می‌شود چگونگی ثبت و ذخیره وزنهاست. در روشهای آنالوگ معمولا از شیوهٔ بازنویسی استفاده می‌شود که نیاز به یک مدار مجزا برای دوباره نویسی وزنهای ذخیره شده روی یک خازن به ازای هر وزن شبکه دارد. ناگفته پیداست چنین ترکیبی به مدار پیچیده‌ای احتیاج دارد که از علاقه طراحان به ساخت شبکه عصبی با مدارات VLSI می‌کاهد. در روشهای دیجیتال نیز دقتهای بالا برای هر وزن، علاوه بر مشکل نحوهٔ بازنویسی کردن، به حجم بالایی ازحافظه برای ذخیرهٔ وزنها احتیاج است و در این حالت نیز منجر به پیچیدگی سخت‌افزاری

می‌شود. بنابراین به طور کلی می‌توان اظهار داشت که کاهش دقت در ذخیره وزنها آنهم تا سطح ۲ بیت از بسیاری پیچیدگی‌های مدار نهایی شبکه عصبی می‌کاهد. به علاوه می‌توان از ساختارهای جدیدی مانند حافظه RAM استاتیک که احتیاج به بازنویسی کردن ندارد استفاده کرد که خود پیاده سازی مدار را بسیار ساده می‌کند واحتیاج به حافظهٔ پرحجم برای ذخیره وزنها ندارد.

۲ـ قابلیت آموزش تراشه پس از ساخت علاوه بر امکان عملکرد تراشه به صورت انواع مختلف فیلترها بدون احتیاج به تغییر معماری، قابلیت حذف و به عبارتی تحمل کردن تمام موارد غیرایده‌آل پس ازساخت را به سیستم اضافه می‌کند. از جملهٔ این موارد می‌توان به تغییر در مقادیر وزنهای هرسیناپس، مستقل از دیگر وزنها به خاطر تغییرات پروسس و یا اثرات کانال کوتاه، وجود افست در تابع فعالیت هر نرون که در واقع یک تابع خطی فرض شده است، و رفتار غیرخطی نرونها (با توجه به اینکه در حالت ایده‌آل نرونها خطی فرض شده‌اند) ، ناشی از رفتار غیرخطی المانهای مدار اشاره کرد. باافزودن این قابلیت به سیستم یعنی آموزش پس از ساخت در واقع سیستم براساس پاسخهای واقعی که به نمونه‌های آموزشی می‌دهد آموزش می بیند. به عبارتی سوئیچهای تعیین وزنها به ترتیبی تنظیم می‌شوند و به پاسخ بهینه می‌رسند که ترکیب وزنها با مقدار واقعی روی تراشه، بهترین تقریب از فیلتر را به دست می‌دهند. به بیان دیگر از مقادیر غیرایده‌آل خود وزنها برای رسیدن به پاسخ نهایی استفاده می‌شود، یعنی همان مقادیری که درهنگام تست (پس ازپایان آموزش) و یا کاربرد تراشه به عنوان فیلتر از خود نشان می‌دهد.

۳ـ استفاده از الگوریتم ژنتیک در آموزش شبکه دو مزیت عمده به قابلیتهای آن می‌افزاید. یکی ازمشکلات عمدهٔ آموزش off-chip به روش BP که منجر به پیاده سازی تمام مسیر پیشرو و پسرو بر روی تراشه و آموزش on-chip می‌شود، این است که دراین روش محاسبهٔ Δw یا وزنهای جدید در هر مرحله وابسته به مقدار تابع فعالیت و مشتق آن و همچنین مقدار وزنهای مرحله قبل است. در روش off-chip یا semi-off-chip (که تنها مرحله forward روی تراشه صورت گیرد) این مقادیر که

درالگوریتم ورودی کامپیوتر خارجی استفاده می‌شوند با مقادیرواقعی روی تراشه متفاوت هستند و برای افزایش دقت در حین آموزش باید هر بار تراشه مشخصه یابی شود و تک تک وزنها و توابع فعالیت بدست آیند که در شبکه‌های بزرگ بسیار پر حجم و وقت‌گیر است. با استفاد ه از الگوریتم ژنتیک این نقص به کلی رفع می شود. در الگوریتم ژنتیک در هر مرحله وزنهای بهینه بر اساس تابع شایستگی و کاملا مستقل ازمقادیر وزنها و توابع فعالیت انتخاب می‌شوند. الگوریتم ژنتیک تنها دارای مسیر پیشرو است، که در آن پاسخ شبکه به نمونه‌های آموزشی مختلف بر روی تراشه و بر اساس مقادیر واقعی وزنها و توابع فعالیت بدست می‌آید و ادامه کار تا مرحله بعدی مستقل از سخت افزار انجام می‌گیرد. بنابراین همواره مقادیر واقعی پارامترهای ساخته شده در نظر گرفته می‌شوند. مساله مهم دیگر در استفاد ه از شبکه عصبی در هنگام آموزش، نیاز به خروجی نرونها در روش آموزش BP است. در این روش و درمرحله پسرو برای محاسبه وزنهای جدید هر لایه احتیاج به مقادیر خروجی نرونهای لایه قبلی داریم. بنابراین در طی هر مرحله کل خروجی‌های تمام نرونها باید خوانده شوند در حالیکه در روش آموزش به کمک الگوریتم ژنتیک تنها مساله مورد نیاز محاسبه تابع شایستگی است که بر اساس خطای نهایی شبکه به ازای نمونه‌های آموزشی تعیین می‌شود و لذا تنها نیاز به بازخوانی نهایی لایه آخر شبکه عصبی داریم و نه خواندن تمام وزنهای لایه مخفی که تعداد قابل توجهی هستند. علاوه بر اینها انطباق الگوریتم ژنتیک به ویژه در طرح سیستم فعلی که مبتنی بر وزنهای کوانتیزه با دقت پایین است بسیار ساده صورت می‌گیرد.

٤-دو بخش عمده در هنگام پیاده‌سازی سخت‌افزاری شبکه‌های عصبی جمع‌کننده و ضرب‌کننده هستند. درطرح فعلی به همراه ضرب‌کننده از سوئیچهایی استفاده می‌شود که سطح سیگنال را در مقدار مطلوب (برابربا وزن کوانتیزه) ضرب می‌کنند. در هر دو مورد جمع‌کننده و ضرب‌کننده استفاده از سیگنال جریان ساده‌تر به نظر می‌رسد. جمع‌کننده جریان در واقع دارای مدار خارجی نیست و تنها با اتصال گره‌ها

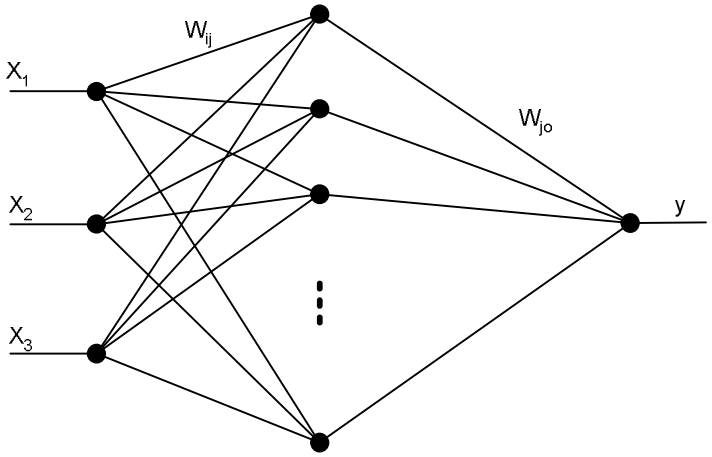
ممکن است. ضرب‌کردن یا به مقیاس کردن سطوح جریان نیز با مدارهای ساده آئینه جریان با نسبت‌های پهنای ترانزیستورهای مختلف به سادگی صورت می‌گیرد. بنابراین کل مدار شبکه عصبی با سیگنال جریان پیاده‌سازی می‌شود؛ که علاوه برمزایای فوق به علت ساختار ساده مدار، احتمال کارکرد مدار در فرکانسها و سرعتهای بالاتر را ممکن می‌سازد.

به طور خلاصه می‌توان اظهار داشت با استفاد ه از مزایای شبکه‌های عصبی و الگوریتم ژنتیک در طرح جدید مانند حساسیت کم، قابلیت آموزش، توانایی تعمیم، سادگی سخت‌افزار و آموزش شبکه پس ازساخت که منجر به حذف نقایص در هنگام ساخت(مانند تلرانس وزنها) می‌شود، یک روش نوین درطراحی فیلترهای خطی با سرعت بالا و ضریب کیفیت بالا ابداع شده است.[9,10,11]

٤-٣) شرح بلوک دیاگرام فیلتر براساس ساختار شبکه عصبی

همانگونه که دیدیم باتوجه به قابلیت شبکه‌های عصبی مستقیم تک لایه در یادگیری یک الگوی خاص یا یک تابع چند جمله‌ای می‌توان از آنها برای پردازش سیگنال، مخصوصا فیلتر کردن استفاده کرد. به این ترتیب که روابط حوزه زمان بیانگر صورت ومخرج یک تابع تبدیل H(z) در حوزه زمان گسسته به صورت معادلات تفاضلی هستند که به سادگی قابل آموزش به شبکه عصبی هستند. زیرا ماهیت معادلات تفاضلی یک چند جمله‌ای است که متغیرهای آن شیفت یافته یکدیگر در زمان هستند که این شیفت متغییرها را با استفاده از تأخیر می‌توان پیاده سازی کرد. همچنین به خاطر محدودیت‌های سخت‌افزاری ازوزنهای گسسته برای شبکه عصبی استفاده کردیم که در صورت وجود تعداد کافی نرون در لایه مخفی باعث خطای چندانی در ضرایب معادلات تفاضلی یادگیری شده نمی‌شود و می‌توان آنها را با دقت دلخواه (وابسته به تعداد نرونهای لایه مخفی) آموزش داد.

در این قسمت نحوه پیاده سازی کل فیلتر براساس ساختار شبکه عصبی، بلوکهای مورد نیـاز و نحـوه عملکرد و آموزش فیلتر شرح داده می‌شود.



شکل ٤ -٢:شبکه عصبی برای پیاده‌سازی یک سه‌جمله‌ای

٤-٣-١) پیاده سازی معادله تفاضلی به وسیله شبکه عصبی

اگر یک چند جمله‌ای به صورت مقابل را در نظر بگیریم:

$$y=a_1x_1+a_2x_2+a_3x_3 \qquad (١١\text{-}٤)$$

رابطه بین y و متغیرهای ورودی به راحتی به وسیله شـبکه عصـبی شـکل (٤-٢) قابـل پیـاده سـازی است؛ که در آن:

$$a_i=\sum_{j=1}^{n} w_{ij}w_{jo} \qquad (i=1,2,3) \qquad (١٢\text{-}٤)$$

که n تعداد نرونهای لایه مخفی است. در واقع هدف از آموزش شبکه عصبی براساس مجموعهٔ آموزش و به وسیله الگوریتم ژنتیک، یافتن مجموعهٔ وزنهای w_{ij} و w_{jo} بگونه‌ای است که تمام ضرایب a_i کمتـرین خطای ممکن را داشته باشند.

اگر متغیرهای x_i در روابط زیر صدق کنند رابطه (٤-١١) به یک رابطه تفاضلی تبدیل می‌شود:

$$x_2(n)=x_1(n-1) \quad \text{و} \quad (١٣-٤)$$

$$x_3(n)=x_2(n-1)=x_1(n-2)$$

که به سادگی می‌توان با تأخیر ورودی x_1 به اندازه یک و دو واحد زمانی x_2 و x_3 را ساخت وبه این ترتیب یک معادله تفاضلی به صورت $y = a_1x(n) + a_2x(n-1) + a_3x(n-2)$ با شبکه عصبی مورد نظر قابل پیاده سازی است.

٤-٤) بلوک استراتژی چیپ فیلتر

همانطور که شرح دادیم به علت مزیتهای حالت جریانی در پیاده‌سازی شبکه عصبی تمام بلوکها در حالت جریانی کار می‌کنند. این مزیتها عبارت بودند از: سادگی بلوکهای سازنده شبکه عصبی در حالت جریانی و عدم نیاز به جمع کننده که بسیار مهم است زیرا همانطور که دیده می‌شود تعداد زیادی خروجی نرونها با هم جمع می‌شوند که با حذف جمع کننده در حجم مدار و سطح چیپ صرفه جویی می‌شود. به علاوه حذف یک بلوک در مدار به معنای سادگی بیشتر مدارو قابلیت کار درفرکانسهای بیشتر است. همچنین در حالت جریانی به علت کم بودن سوئینگ ولتاژ، می‌توان درسرعتها و فرکانسهای بالاتری کار کرد.

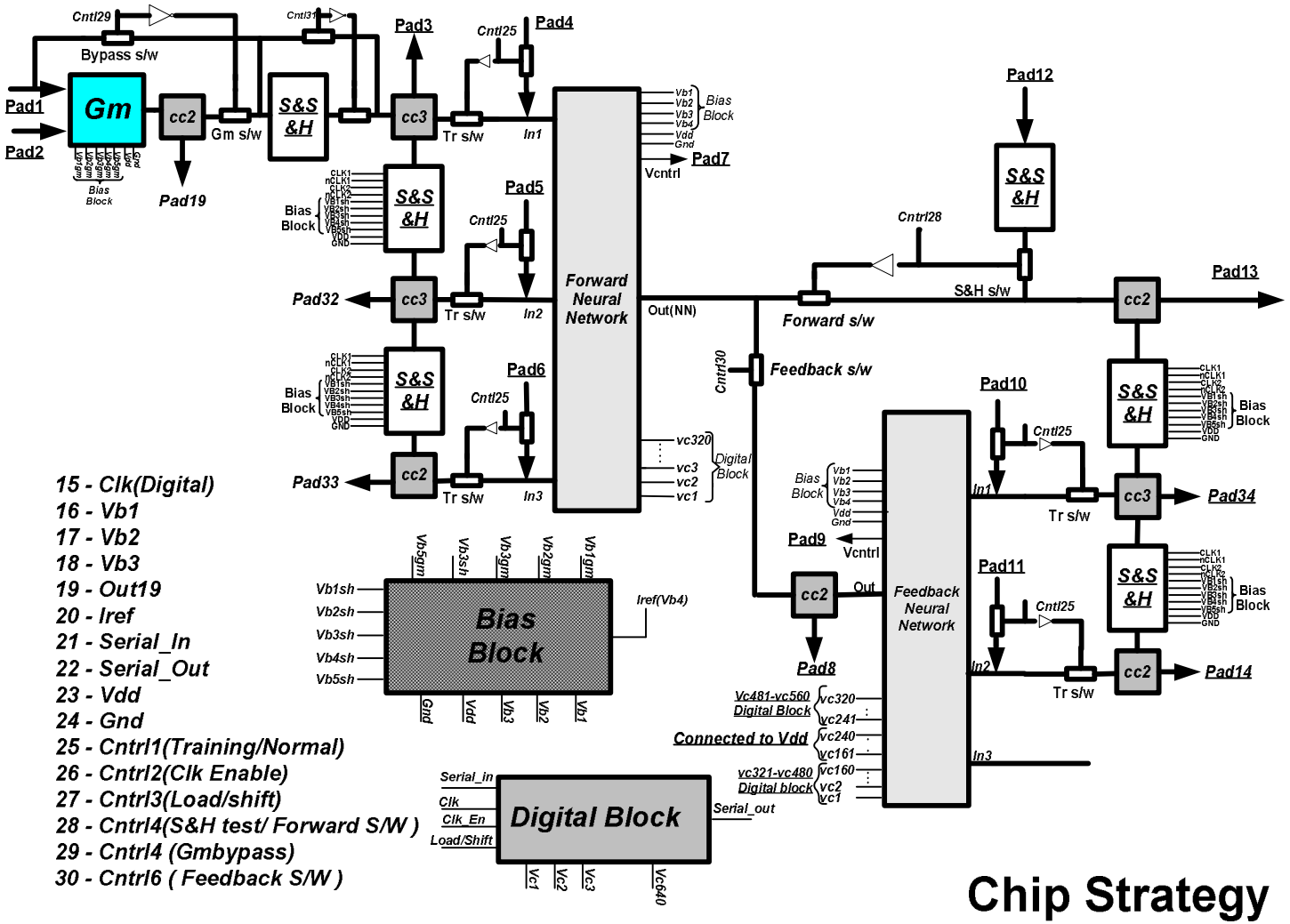
بلوک دیاگرام کل فیلتر پیاده سازی شده درصفحه بعد مشاهده می‌شود. از آنجایی که سیگنال ورودی مدار ولتاژ است و ورودی تمام بلوکهای دیگر جریان است نیاز به یک مبدل ولتاژ به جریان در ورودی فیلتر داریم. برای ایجاد تأخیر در ورودی شبکه عصبی به منظور پیاده سازی معادله تفاضلی از S&H استفاده شده است که ورودی را به اندازهٔ یک پریود کلاک‌اش تأخیر می‌دهد. نحوه اتصال دو

شبکه عصبی بگونه‌ای است که قبلا دیده شد. یعنی شبکه عصبی (۱) برای پیاده سازی $H_1'(z)$ (در شکل ۳-٤) و شبکه عصبی (۲) به منظور پیاده سازی $H_2'(z)$ قرار گرفته‌اند.

استراتژی چیپ به گونه‌ای طرح شده است که امکان تست تمام بلوکهای اصلی سازنده فیلتر وجود دارد. برای تأمین این هدف نیاز به ورودی و خروجی بلوکهای مختلف داریم که از کپی کننده جریان استفاده شده است. خروجی کپی کننده‌های جریان دقیقا برابر ورودی آنهاست. CC_2 ها کپی کننده‌هایی با ۲ خروجی و CC_3 با ۳ خروجی هستند. برای ساخت ولتاژهای بایاس بلوکهای مختلف فیلتر، از بلوک بایاس استفاده شده است که با استفاده از یک جریان مرجع ورودی، تمام ولتاژهای بایاس مورد نیاز را ایجاد می‌کند.

شبکه عصبی ساخته شده دارای وزنهای گسسته (۰/۳ و ۰/۲و۰ و ۰/۱-) است؛ یعنی هر سیناپس یکی از این مقادیر را می‌تواند اختیار کند برای انتخاب این وزنها نیاز به ۲ بیت برای هرسیناپس است برای ذخیره سازی این بیتها یک قسمت دیجیتال داریم که تنها یک شیفت‌رجیستر است. هر بیت از این شیفت‌رجیستر در واقع یک سوئیچ از قسمت آنالوگ مدار را قطع یا وصل می‌کند که باعث انتخاب یکی از وزنها می‌شود. نحوه پیاده سازی این وزنها در فصل‌های بعد تشریح شده است.

برای تست تک تک بلوکهای فیلتر، همچنین قابلیت آموزش شبکه عصبی به صورت off-chip حالتهای مختلفی برای عملکرد فیلتر در نظر گرفته شده‌اند که به وسیله تعدادی پایه کنترلی حالت مورد نظر انتخاب می‌شود. درادامه حالتهای مختلف عملکرد فیلتر تشریح می‌شود.

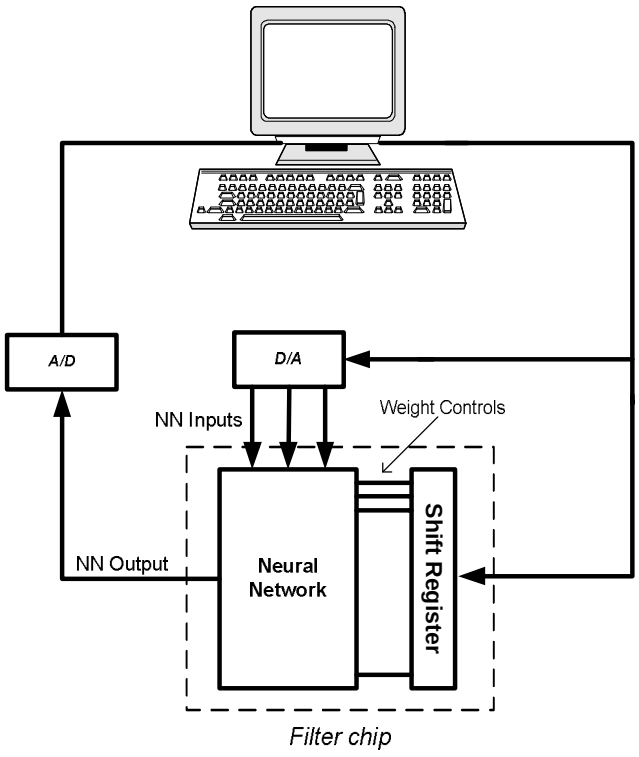


شکل ٤ - ٣٠: استراتژی تراشه

٤-٤-١) حالت آموزش شبکه عصبی

دراین حالت ورودی شبکه‌های عصبی مسیر مستقیم و برگشت از خارج مدار مجتمع بـه صـورت جریان وارد می‌شود و خروجی هر شبکه به صورت مجزا قابـل دسترسـی اسـت. در ایـن حالـت حلقـه فیدبک باز می‌شود. این حالت به وسیله پایه‌های کنترلی *Cntl25* و *Cnt130* انتخاب می‌شود.

نحوه آموزش شبکه‌های عصبی به این ترتیب است که تمام بیتهای معـرف وزنهـای شـبکه توسـط کامپیوتربه صورت سریال به شیفت‌رجیستر ارسال شده و در شیفت رجیستر ذخیره مـی‌شـود؛ سـپس بـه وسیله کامپیوتر ورودی‌های شبکه اعمال می‌شود و پاسخ شبکه به این ورودیها خوانده می‌شـود. براسـاس مقدار خطای خروجی و خروجی مورد نظر که در مجموعهٔ آموزشی وجود دارد، شایسـتگی کرومـوزومی که شامل وزنهای جاری بوده است، مشخص می‌شود.



شکل ٤ -٤:نحوه آموزش شبکه‌های عصبی به صورت Off-chip

. به همین ترتیب شایستگی تمام کروموزومهای یک نسل تعیین می‌شود و سپس براساس این مقادیر الگوریتم ژنتیک به کار خود ادامه می‌دهد. یکی از مزایای این روش این است که خروجی به ازای وزنهای یک کروموزوم به وسیله خود شبکه عصبی و با درنظر گرفتن تمام اثرات غیر ایده‌آل مدارات و بلوکهای شبکه و اثرات غیر ایده‌آل پروسه و مدلها، تولیدمی‌شود و شایستگی هر کروموزوم بر همین اساس مشخص می‌شود. درنتیجه شایسته‌ترین کروموزومی که در نهایت انتخاب خواهد شد، خروجی موردنظر را با در نظرگرفتن تمام اثرات غیرایده‌آل مربوط به مدار و پروسه تولیدمی‌کند. این ویژگی یکی از عمده‌ترین مزیتهای این روش پیاده سازی فیلتر است.

٤-٤-٢) حالت کار عادی فیلتر

پس از آموزش هر یک از شبکه‌های عصبی مسیر رفت و برگشت به صورت جدا از هم، وزنهای هر دو شبکه در شیفت رجیستر ذخیره شده‌اند. دراین حالت کلاک قسمت دیجیتال غیرفعال می‌شود، زیرا نیازی به نوشتن در شیفت‌رجیستر نداریم و تنها باید وزنها نگهداری شوند. حلقه فیدبک بسته است و ورودیهای شبکه‌های عصبی ازداخل چیپ تأمین می‌شود. دراین حالت سیگنال ورودی بین *Pad1* و *Pad2* اعمال می‌شود و خروجی فیلتر شده از *Pad13* به دست می‌آید.

٤-٤-٣) تست G_m

در هر حالت عملکرد فیلتر غیراز حالتی که G_m بای‌پس شده است می‌توان ورودی وخروجی G_m را مشاهده و عملکرد آنرا بررسی کرد.

٤-٤-٤) تست S&H

به وسیله کنترل *Cnt128* می‌توان ورودی و خروجی S&H ای را که به منظور بررسی عملکرد این بلوک قرار داده شده است را مشاهده و عملکرد آنرا بررسی کرد. در این حالت تنها S&H تست می‌شود و مدارقابلیت دیگری ندارد.

٤-٤-٥) حذف افست

یکی از مسائل مشکل‌ساز در مدار شبکه عصبی، افست خروجی بلوکهای سیناپس است که در اثر عدم تطابق[1] ترانزیستورهای آینه‌های جریان به وجود می‌آید. افستهای بلوکهای مختلف در گره ورودی طبقه خروجی با یکدیگر جمع می‌شوند که ممکن است باعث اشباع طبقه خروجی شود. برای حذف این افست یک بلوک حذف کننده افست در گره ورودی طبقه خروجی قرار داده شده است که با کنترل ولتاژ ورودی این بلوک، افست در این گره حساس قابل حذف است. برای حذف افست مدار کافی است در حالت آموزش ورودی شبکه را صفر کنیم و آنقدر ولتاژ ورودی حذف کننده افست را که از طریق پایه‌های *Pad9* و *Pad7* اعمال می‌شوند تغییر دهیم تاخروجی شبکه‌ها صفر شود.

٤-٤-٦) بای‌پس کردن G_m

درصورتی که سیگنال ورودی به صورت جریان باشد می‌توان مدار G_m را حذف کرد.(به وسیله کنترل *Cntl29*) همچنین می‌توان از این حالت برای مواردی که G_m خارجی با عملکرد در حد G_m داخلی روی برد وجود دارد استفاده کرد.

---

[1] Mismatch

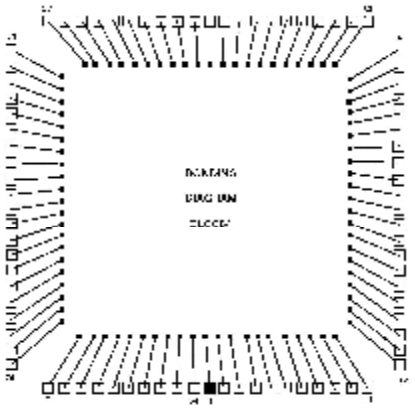
همانطور که بررسی شد امکان تست تک تک بلوکهای سازندهٔ فیلتر به صورت مجزا وجود دارد. همچنین سعی شده است چیپ بگونه‌ای طرح شود تا در صورت عدم عملکرد صحیح بلوکهای مهم و ضروری بتوان از خارج تراشه سیگنالهای مورد نیاز را تأمین کرد. مثلا ولتاژهای بایاس شبکه عصبی را می‌توان از خارج اعمال کرد. کلاک غیرهمپوشان برای S&Hها هم در داخل چیپ تولید می‌شود و هم قابل اعمال از خارج تراشه است.

٤-٥) پایه‌های تراشه:

پایه‌های ورودی خروجی تمام بلوکها به همراه پایه‌های تست که درمجموع کل پایه‌های تراشه را تشکیل می‌دهند (به همراه شماره پایه) در جدول (٥-١) خلاصه شده‌اند.

جدول ٤ -١:پایه‌های تراشه طراحی شده

Pin number	Pin name	Pin number	Pin name
75	Clk_out2	54	PAD7
76	Clk_out1	55	PAD6
77	PAD13	56	PAD5
78	PAD8	57	PAD33
79	PAD12	58	PAD4
80	Clk_in2	59	Cntl25
81	Clk_in1	60	PAD3
82	Clk_Cntrl	61	PAD32
83	PAD14	62	PAD1
84	PAD11	63	PAD2
1	PAD10	64	VDD
2	PAD34	65	PAD19
3	PAD9	66	VSS
4	VSS	67	Cntl31
5	VSS	68	Cntl29
6	VSS	69	VB4
7	Serial_Out	70	VB1
8	Cntl26	71	VB2
9	Cntl27	72	VB3
10	Serial_in	73	Cntl30
11	Clk	74	Cntl28



شکل ٤ -٥:نحوه شماره‌گذاری CLCC84

۵

مشخصات پروسه مورد استفاده

۵-۱) مقدمه

پس از طراحی مدار مجتمع، انتخاب تکنولوژی مورد استفاده، پروسه ساخت و شرکت سازنده از اهمیت ویژه‌ای برخوردار است. انتخاب تکنولوژی و پروسه ساخت باتوجه به قابلتیهای تکنولوژی و شرایط و انتظارات مورد نیاز صورت می‌گیرد. انتخاب شرکت سازنده براساس قیمت، حمایت و پشتیبانی از نظر اطلاعات و مشخصات مورد نیاز در طراحی و همچنین دقت مدلهایی که برای شبیه سازی مدارات، مطابق با پروسه ساخت صورت می‌گیرد، می‌باشد. این مسأله از اهمیت ویژه‌ای برخوردار است زیرا در صورت دقت مدلها، با انجام شبیه‌سازی پس از لی آوت و اطمینان از عملکرد صحیح مدار، می‌توان از عملکرد صحیح آن پس از ساخت مدار مجتمع نیز مطمئن بود و در واقع دقت شبیه سازیها در

مقایسه با واقعیت مدار پس از ساخت را نشان می‌دهد. پروسه مورد استفاده برای ساخت مدار طراحی شده ما، پروسه ۰/۸μm CXQ است که پروسه آنالوگ، میکس مد CMOS با دو لایه متال می‌باشد.در این بخش مشخصات پروسه از نظر مچینگ، دقت مدل و... مرور می‌شود.

۵-۲)مشخصات پروسه ۰/۸μm CXQ

۵-۲-۱)عدم تطابق و پارامترهای آن

در بسیاری از مدارات مجتمع طراحی شده، از مدارات یکسان یا متقارن استفاده می‌شود بگونه‌ای که دو طرف مدار رفتار یکسان و جریانهای بایاس یکسان دارند. اما در عمل المانهای به ظاهر یکسان به خاطر عدم قطعیت در پروسه ساخت، کمی با هم عدم تطابق دارند. به عنوان مثال ابعاد گیت ترانزیستور MOS دارای تغییرات تصادفی میکروسکوپی است که باعث اختلاف در طول و عرض دو ترانزیستور که به صورت یکسان لی‌آوت شده‌اند می‌شود. همچنین به خاطر وابستگی ولتاژ آستانه به دپینگ کانال و گیت ولتاژ آستانه دوترانزیستور یکسان نیز متفاوت است.

مشخصه ماسفت در ناحیه اشباع به صورت $I_D = \frac{1}{2} m\, C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2$ است. مشاهده می‌شود که هر گونه عدم تطابق بین m، C_{ox}، W، L و V_{th} باعث عدم تطابق بین جریانهای ترانزیستور با ولتاژ گیت‌ـسورس مشخص می‌شود. نکته جالب توجه این است که عدم تطابق بین تمام پارامترهای ترانزیستور با بزرگ شدن اندازه آن کاهش می‌یابد. این پدیده به این دلیل است که با زیاد شدن WL، میانگین‌گیری روی تعداد بیشتری متغیر تصادفی صورت می‌گیرد و در نتیجه واریانس کل کمتر می‌شود.

۵-۲-۱-۱)پارامترهای عدم تطابق [16]

در این قسمت پارامترهای اصلی که برای شرح رفتار عدم‌تطابق ترانزیستورهای *MOS* مورد استفاده قرار می‌گیرد معرفی و بررسی شده‌اند. پارامترهای عدم تطابق، برای شرح عدم تطابق فاصله کوتاه[1] می‌باشد؛ یعنی تطابق بین دو المانی که به صورت یکسان طراحی شده‌اند و در نزدیکی یکدیگر قرار دارند.

تطابق آماری بین پارامترهای P_1 و P_2 متعلق به دو المان که کاملا یکسان طراحی شده‌اند به صورت انحراف استاندارد توزیع نرمال برای یکی از دو متغیر زیر تعریف می‌شود:

۱) $\Delta P = (P_1 - P_2)$ (۵-۱)

۲) $\frac{\Delta P}{P} = \frac{200(P_1 - P_2)}{P_1 + P_2}$ (۵-۲)

که فرض شده است ΔP_i دارای توزیع نرمال با واریانس σ^2 است. میانگین این توزیع صفر است مگر در حالتی که پروسه تغییرات شدیدی در یک جهت داشته باشد یا لی‌آوت نامتقارن باشد.

۵-۲-۱-۲)مدل توصیف تطابق

ترانزیستورهای *MOS* ، خازنها، مقاومتها و هر المان مجتمع دیگر با مسأله تطابق روبروست. مدلی که بیانگر وابستگی پارامتر تطابق بین دو المان یکسان با مساحت $W.L$ به صورت زیر است:

$$s^2(P_1 - P_2) = \frac{A_p^2}{W.L} \qquad (۵-۳)$$

که A_P پارامتری است که به پروسه ساخت بستگی دارد و مقدار وابستگی تطابق به سطح را نشان می‌دهد.

[1] Short distance Matching

باید توجه داشت که در توصیف تطابق تنها تفاضل بین پارامترها مهم است و مقدار مطلق پارامترها تاثیری ندارد. پارامترهای تطابق با اندازه‌گیری و آزمایشهای گوناگون برای شبیه سازیهای تطابق استخراج می‌شوند.

۵-۲-۲-۲-۱)پارامترهای تطابق ترانزیستورهای MOS

تطابق بین ولتاژ آستانه به صورت زیر مدل می‌شود:

$$s\ (\Delta V_{th}) = \frac{AV_{th}}{\sqrt{W.L}} \qquad (٤-٥)$$

و برای تطابق بین جریانهای درین از مدل ریاضی زیر استفاده می‌گردد:

$$s\ (\frac{\Delta ID}{ID}) = \frac{AID_{(V_{gs}-V_{th})}}{\sqrt{W.L}} \qquad (٥-٥)$$

دیده می‌شود که همانطور که قبلا گفته شد تطابق بین پارامترها به صورت معکوس با سطح المان (در اینجا ترانزیستور) رابطه دارند. همچنین تطابق بین جریانهای ترانزیستورها تا حد زیادی وابسته به ولتاژ مؤثر گیت $(V_{gs}\text{-}V_{th})$ است و با افزایش این ولتاژ تطابق بهتر می‌شود. مقادیر پارامترهای AV_{th} و $AID_{(V_{gs}-V_{th})}$ در ضمیمه آورده شده‌اند.

مشاهده می‌شود که در مجموع تطابق برای ترانزیستورهای *PMOS* بهتر از *NMOS* است.

۵-۲-۲)مدلهای MOS و پارامترهای شبیه سازی MOS

برای شبیه‌سازیهای اولیه به منظور اطمینان از صحت عملکرد مدار از پارامترهای *TM*[1] استفاده می‌شود؛ که شامل میانگین پارامترها هستند و از ویفرهای رایج و معمولی استخراج شده‌اند. همچنین بدترین و بیشترین تغییرات پارامترها در مدلهای *WROST CASE* داده شده‌اند. چهار دسته پارامتر برای بدترین شرایط عبارتند از: *WP*[2] : بدترین حالت توان (NMOS سریع و PMOS سریع)، *WS*[3] : بدترین حالت سرعت (NMOS کند و PMOS کند) و *WO*[4] : بدترین حالت یک: (NMOS سریع و PMOS کند) و *WZ*[5] : بدترین حالت صفر (NMOS کند و PMOS سریع).

شبیه سازیهای انجام گرفته با استفاده از مدلهای *TM* و *WS* و *WP* برای بررسی سرعت و عملکرد مدار در سریع‌ترین و کندترین حالت ممکن، انجام گرفته است و پس از جواب دادن این شبیه‌سازیها می‌توان از عملکرد صحیح مدار در تمام شرایط ناشی از ساخت اطمینان حاصل کرد.

همانطور که گفته شد دقت مدلهای استفاده شده در شبیه‌سازیهای قبل و پس از لی‌آوت اهمیت خاصی دارند، زیرا هر چه دقت مدلها بیشتر باشند، عملکرد مدار پس از ساخت به عملکرد مدار شبیه‌سازی شده نزدیکتر می‌باشد و در نتیجه در صورت اطمینان از صحت عملکرد مدار بوسیله شبیه‌سازی پس از لی‌آوت، می‌توان به عملکرد صحیح مدار پس از ساخت اطمینان بیشتری داشت.

در این فصل تنها به مشخصاتی از پروسه مورد استفاده اشاره شده است که در مدارات طراحی شده اهمیت داشته‌اند و مورد توجه قرار گرفته‌اند. برای اطلاع دقیق از تمام مشخصات این پروسه شامل

---

[1] Typical Modse
[2] Worst Power
[3].Worst Speed
[4] Worst One
[5] Worst Zero

پارامترها، نمودارهای تطابق مدل با نتایج اندازه‌گیریها، قوانین طراحی لی‌آوت و... می‌توان به دفترچه مشخصات پروسه رجوع کرد.

٦

پیاده سازی مداری بلوکهای سازنده فیلتر

٦-١) مقدمه

در فصلهای قبل، ایده فیلتر بر اساس ساختار شبکه‌های عصبی ارائه شد و مفاهیم لازم برای درک نحوه عملکرد آن مرور گردید. در تشریح استراتژی تراشه دیدیم که نیاز به بلوکهای مختلفی برای پیاده‌سازی این فیلتر مورد نیاز است. مهمترین قسمت سازنده فیلتر بلوک شبکه‌عصبی است، که ایده طراحی فیلتر بر اساس ویژگیهای آن بنا شده‌است و در نهایت خواص منحصر بفرد و مهم این طرح بواسطه خواص شبکه‌های عصبی است. برای ساخت یک رابطه تفاضلی، نیاز به تاخیر داریم که بوسیله *S&H* پیاده‌سازی شده‌اند و در نهایت شبکه‌عصبی به همراه این بلوک تاخیر یک رابطه تفاضلی را می‌سازند، که بوسیله دو عدد از آنها بروشی که دیده شد می‌توان یک تابع تبدیل زمان‌گسسته را

پیاده‌سازی کرد. در نهایت از آنجایی که مدارات شبکه‌عصبی و تاخیر در حالت جریانی طراحی شده‌اند، نیاز به مبدل ولتاژ به جریان در ورودی داریم.

در این فصل روش طراحی مداراتی که برای پیاده‌سازی بلوکهای مختلف فیلتر مورد نیاز هستند، بررسی می‌شود و مشخصات آنها ارائه می‌گردد.

۲-٦)شبکه‌عصبی

شبکه‌عصبی مهمترین قسمت تشکیل‌دهنده فیلتر است. شبکه‌عصبی انتخاب‌شده از نوع مستقیم با یک لایه مخفی است، که مانند هر شبکه‌عصبی، اجزای تشکیل‌دهنده آن نرونها، ضرب‌کننده(سیناپس) و جمع‌کننده است. از آنجایی که مدارات طراحی‌شده در حالت جریان هستند و سیگنالهای ورودی و خروجی جریانی هستند، برای جمع کردن خروجی نرونهای یک طبقه در ورودی طبقه بعد کافیست خروجیها را به یکدیگر متصل کنیم و نیازی به مدار جمع‌کننده نداریم. برای ضرب کردن خروجی نرونها در مقدار وزن سیناپسها از ضرب‌کننده جریان استفاده شده‌است که مدار آن بررسی خواهد شد. در شبکه‌عصبی خطی مورد استفاده، تابع فعالیت نرونها خطی با شیب واحد است و آفست نرونها صفر در نظر گرفته‌شده‌اند، بنابراین خروجی نرون با ورودی‌اش برابر است و نیاز به مداری برای پیاده‌سازی آن وجود ندارد.

در این قسمت ابتدا نحوه ضرب کردن جریان در مقداری مشخص بحث میشود و سپس روش پیاده‌سازی یک سیناپس با چهار وزن مختلف بررسی میشود و در نهایت ساخت یک شبکه‌عصبی نشان داده می‌شود. [18,19]

۶-۲-۱)ضرب کننده جریان [20,21]

برای ضرب کردن جریان در مقدار k می‌توان از مدار ساده شکل (۶-۱-الف) استفاده کرد. زوج M_1 وM_2 آیینه جریان هستند و M_3 و M_4 به عنوان منبع جریان عمل می‌کنند که آیینه جریان را در جریان مشخصی بایاس می‌کند.نسبت جریان ورودی و خروجی برابر نسبت عرض ترانزیستورهای دو طرف مدار است. عمده‌ترین مشکل این مدار کم بودن مقاومت خروجی مدار است که باعث ایجاد خطا در جریان خروجی می‌شود. همچنین برابر نبودن ولتاژهای V_{ds1} و V_{ds2} باعث اختلاف I_{ds1} و I_{ds2} می‌شود. به همین ترتیب I_{ds3} و I_{ds4} با هم برابر نیستند. این پدیده موجب ایجاد یک افست ذاتی در خروجی می‌شود، به این ترتیب که اگر I_{in}=۰ باشد I_{ds3}=I_{ds1} اما بعلت برابر نبودن جریانهای I_{ds1} و I_{ds2} باهم و اختلاف در I_{ds3} و I_{ds4} در نهایت I_{ds4} و I_{ds2} با هم برابر نیستند و جریان خروجی که اختلاف این دو جریان است صفر نخواهد بود و آفست خروجی را بوجود می‌آورد. برای رفع این مشکل از ترکیب کسکود به جای هر ترانزیستور استفاده می‌کنیم که مدار به صورت شکل (۶-۱-ب) درمی‌آید. ولتاژهای V_{B1} و V_{B2} باتوجه به جریان بایاس موردنظر انتخاب می‌شوند؛ اما V_{B3} باید بگونه‌ای انتخاب شود که هر دو ترانیستور M_1 و M_3 در ناحیه فعال عمل کنند:

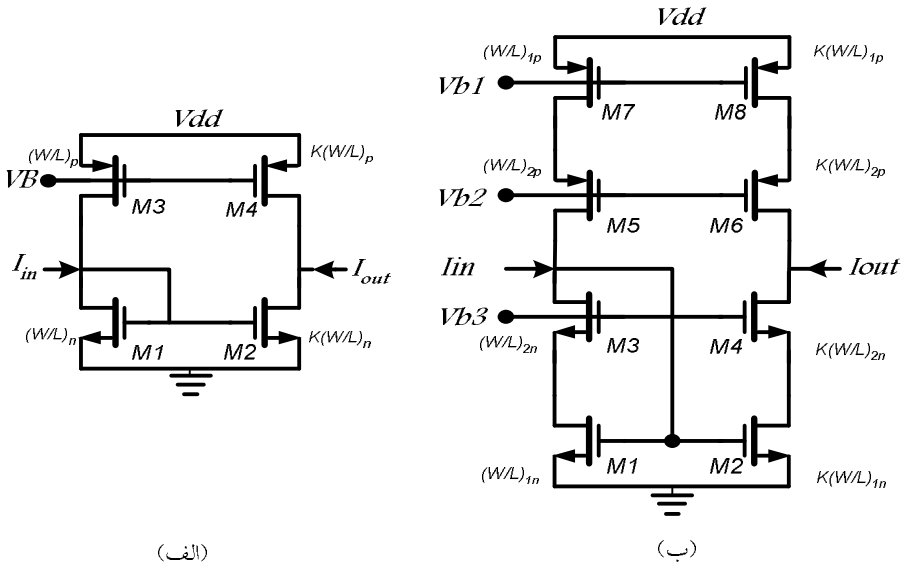
$$V_{B3}-V_{gs3}>V_{gs1}-V_{th} \qquad (۶-۱)$$

$$V_{gs1}-(V_{B3}-V_{gs3})>V_{gs3}-V_{th} \qquad (۶-۲)$$

در نتیجه V_{B3} باید محدودیت زیر را ارضا کند.

$$V_{gs1}+V_{gs3}-V_{th}<V_{B3}<V_{gs1}+V_{th} \qquad (۶-۳)$$

نحوه ساخت این سه ولتاژ توسط بلوک بایاس در قسمت مربوطه تشریح شده است.



شکل ٦ -١:ضرب‌کننده جریان (الف)ساده (ب) کسکود

٦-٢-١-١)افست خروجی

با ورودی صفر به ضرب کننده جریان، در شاخه خروجی هرگونه اختلاف بین جریان قسمت بالا و جریان قسمت پایین باعث به وجود آمدن افست در خروجی می‌شود. این افست علاوه بر کاهش دقت ضرب کننده، ممکن است باعث اشباع طبقات بعدی شود که این موضوع اهمیت بیشتری دارد. کم بودن مقاومت خروجی منبع جریان و آینه جریان و همچنین مچ نبودن ترانزیستورهای آینه‌کننده باعث به وجود آمدن اختلاف بین جریان قسمت بالا و پایین در شاخه خروجی (شاخه سمت راست) می‌شوند.

با استفاده از ترکیب کسکود اثر کم‌بودن مقاومت خروجی به حداقل می‌رسد؛ اما تنها راه برای افزایش تطابق، لی‌آوت مناسب این ترانزیستورهاست. روشهای مناسب لی‌آوت برای افزایش تطابق ترانزیستورها در قسمت لی‌آوت تشریح شده‌اند و این اصول در لی‌آوت مدارهای ضرب کننده کاملا رعایت شده‌اند.

مطابق بودن M_1 و M_2 با هم و M_8 و M_7 با یکدیگر، در درجه اول اهمیت و مطابق بودن M_6 و M_5 با هم و M_4 و M_3 با هم در درجه بعدی اهمیت قرار دارند. زیرا اختلاف ولتاژ V_{DS7} و V_{D58} اثر کمتری در اختلاف جریان آنها دارد تا اختلاف در نسبت (W/L) آنها. همچنین اختلاف V_{DS} ها، به علت کم بودن اختلاف V_{GS5} و V_{GS6} ناشی از اختلاف نسبت W/L ها کم است.

علاوه بر اینها همانطور که دیدیم هر چه اندازه ترانزیستورها بزرگتر باشد، انحراف معیار توزیع جریان آنها کمتر خواهد بود. اما بزرگتر کردن W/L ترانزیستورهای M_1 و M_2 یا M_4 و M_3، باعث بزرگ شدن خازنهای گیت-سورس آنها می‌شود که منجر به افزایش خازن گره ورودی می‌شود و همانطور که خواهیم دید اثر مستقیم بر روی سرعت مدار دارد. بنابراین یک مصالحه بین سرعت و افست خروجی داریم و W/L ها به گونه‌ای انتخاب می‌شوند که هر دو مورد در حد خواسته مساله ارضا شوند. از آنجایی که عدم تطابق ترانزیستورها و افست ناشی از آنها بسیار کوچک است وهمچنین مدارات داخلی برای حذف این افست در گره‌هایی که افست خروجی چندین ضرب‌کننده با هم جمع می‌شوند، قرار داده شده است، انتخاب اندازه ترانزیستورها براساس بهینه کردن سرعت مدار صورت گرفته است.

۶-۲-۱-۲)بررسی سرعت مدار

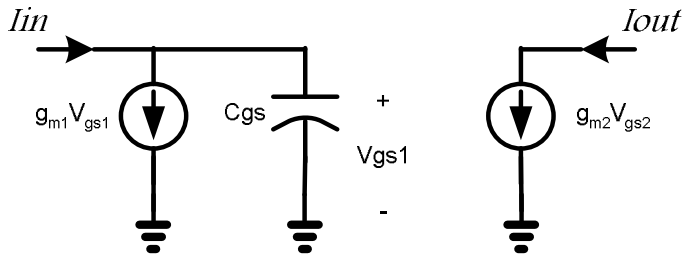
یک ضرب کننده با گین منفی را در نظر می‌گیریم. اگر فقط M_2 و M_1 را که جریان شاخه ورودی و خروجی را می‌سازند در نظر بگیریم و فرض کنیم خازن گیت این دوترانزیستور غالبترین خازن مسیر جریان از ورودی به خروجی باشد:

$$Vgs = \frac{Iin}{gm_1 + SC_{gs}} \qquad (۶-۴)$$

$$Iout = \frac{gm_2}{gm_1} \frac{1}{1+\frac{SCgs}{gm_1}} Iin \qquad (۵-۶)$$

قطب سیستم در gm_1 / C_{gs} است. با زیاد شدن C قطب سیستم کوچکتر و سیستم کندتر می‌شود. در حالت کسکود مدار رفتار دو قطبی دارد که قطب غالب در آنجا هم توسط C_{gs} ایجاد می‌شود و قطب دیگر ناشی از خازن دیده شده در سورس M_3 است.

پس با کم کردن C_{gs} یا کوچک کردن M_2 و M_1 می‌توان سرعت را زیاد کرد. همچنین با زیاد کردن g_{m1} مثلا از طریق زیاد کردن جریان بایاس می‌توان سرعت را زیاد کرد اما افزایش جریان بایاس باعث افزایش توان مصرفی می‌شود.

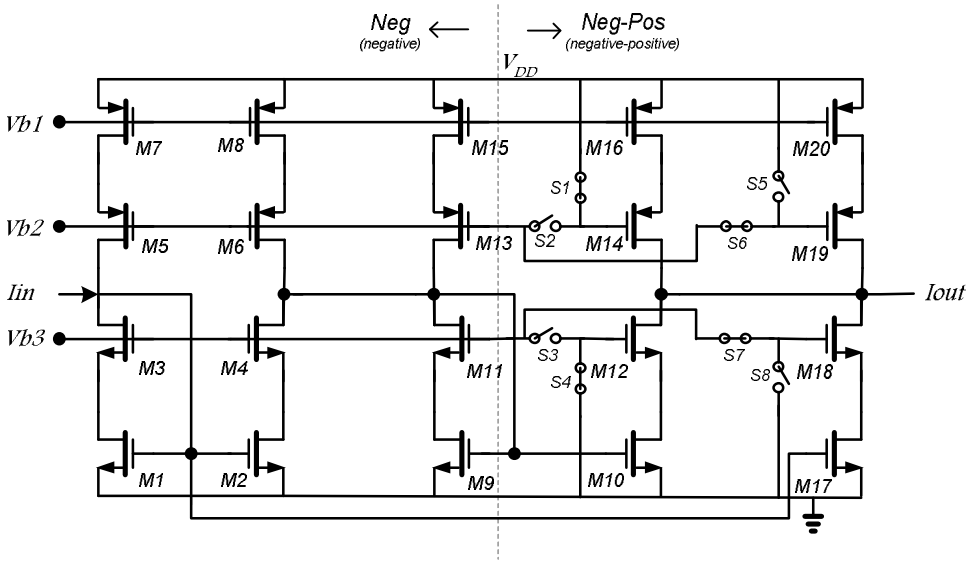


شکل ٦ -۲:مدل ساده شده ضرب‌کننده

٦-۲-۲)پیاده سازی سیناپس با وزنهای گسسته

برای سیناپس از وزنهای گسسته استفاده شده است. هر چه تعداد وزنهای قابل استفاده بیشتر باشد در نهایت ضرایب تابع تبدیل فیلتر با دقت بیشتری قابل تقریب است؛ اما وزنهای بیشتر نیازمند حافظه دیجیتال بزرگتر برای ذخیره سازی وزنها و پیچیدگی بیشتر مدار سیناپس و بزرگتر شدن آن می‌شود. هر سیناپس مقادیر {۰/۳و۰/۲و۰و۰/۱-} را می‌تواند اختیار کند که معادل ۲ بیت برای ذخیره سازی است.

ضرب کننده جریانی که بررسی شد دارای گین جریانK- است. برای ساخت گـین‌هـای مثبـت کـافی است دو طبقه گین منفی را پشت سرهم قرار دهیم که اولی گین ۱ــ و دومـی گـین دلخـواه K- دارد. مدار یک سیناپس با وزنهای گفته شده، در شکل(٦-٣) نشان داده شده است.



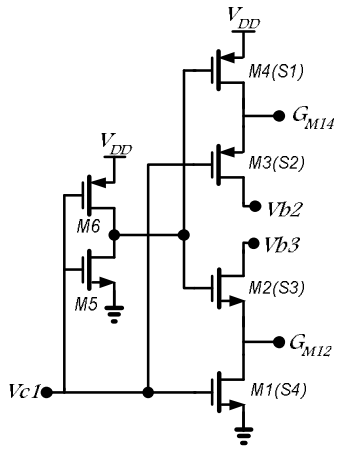
Transistor	W(µm)	L(µm)	M	Transistor	W(µm)	L(µm)	M
M1	1.5	1	10	M11	1.5	1	10
M2	1.5	1	10	M12	1.5	1	3
M3	1.5	1	10	M13	1.5	1	10
M4	1.5	1	10	M14	1.5	1	3
M5	1.5	1	10	M15	4	1	10
M6	1.5	1	10	M16	4	1	3
M7	4	1	10	M17	1.5	1	1
M8	4	1	10	M18	1.5	1	1
M9	1.5	1	10	M19	1.5	1	1
M10	1.5	1	3	M20	4	1	1

شکل ٦ -٣:پیاده‌سازی سیناپس با چهار وزن گسسته

اگر کنترل C_1 ’H‘ باشد، شاخه‌ای که گین ۰/۱- را می‌سازد به ولتاژهای بایاس متصل می‌شود، یعنی s_6 و s_7 بسته هستند. اگر C_1 ’L‘ شود ولتاژیهای بایاس با باز شدن s_6 و s_7 قطـع مـی‌شـوند، در نتیجه جریان این شاخه صفر می‌شود.پس از قطع بایاس برای حداقل کردن جریان نشـتی ایـن شـاخه

(M_{18} و M_{19})که باعث به وجود آمدن یک جریان ناخواسته در خروجی می‌شود گیت M_{19} به بیشترین ولتاژ مدار (V_{DD}) بوسیله سوئیچ s_5 و گیت M_{18} به کمترین ولتاژ مدار بوسیله سوئیچ s_8 متصل می‌شوند. پس گیت M_{18} و M_{19} در حالت عملکرد عادی مدار با گین ۰/۱- به ولتاژهای بایاس و در حالت گین صفر به کمترین و بیشترین ولتاژ مدار متصل می‌شوند. به همین ترتیب با کنترل C_2 می‌توان گین ۰/۳ یا صفر را ساخت. ملاحظه می‌شود که در حالت گین ۰/۱- تنها یک طبقه گین منفی ۰/۱- وجود دارد و در حالت گین ۰/۳ یک طبقه گین منفی ۱ (شامل $M_1...M_8$) و یک طبقه گین ۰/۳- (شامل $M_9...M_{16}$) وجود دارد. اگر C_1 و C_2 هر دو اعمال شوند هر دو شاخه گین ۰/۳ و۰/۱- وجود دارد که در نتیجه گین ۰/۲ ساخته می‌شود و با قطع هر دو شاخه گین صفر به دست می‌آید. برای ساخت سوئیچهای S1-S4 که بوسیله کنترلهای C_1 و C_2 کنترل می‌شوند، مدار ساده شکل٦-٤ مورد استفاده قرار گرفته‌است.کنترلهای C_1 و C_2 توسط خروجی شیفت رجیستری که وزنها را ذخیره می‌کند کنترل می‌شود. این ولتاژهای کنترل وزنها، تنها در حالت آموزش شبکه‌های عصبی تغییر می‌کنند و پس از آن ثابت باقی می‌مانند.

همانطور که گفته شد تطابق ترانزیستورهای آینه‌کننده جریان اهمیت زیادی در افست خروجی دارد؛ به همین دلیل برای به دست آوردن نسبت k بین جریانها، به جای استفاده از ترانزیستورهای با نسبت W/L و KW/L از K ترانزیستور با اندازه W/L موازی یکدیگر استفاده شده است.در جدول شکل (٦-٣)، M بیانگر تعداد ترانزیستور موازی است. [22,23,24]

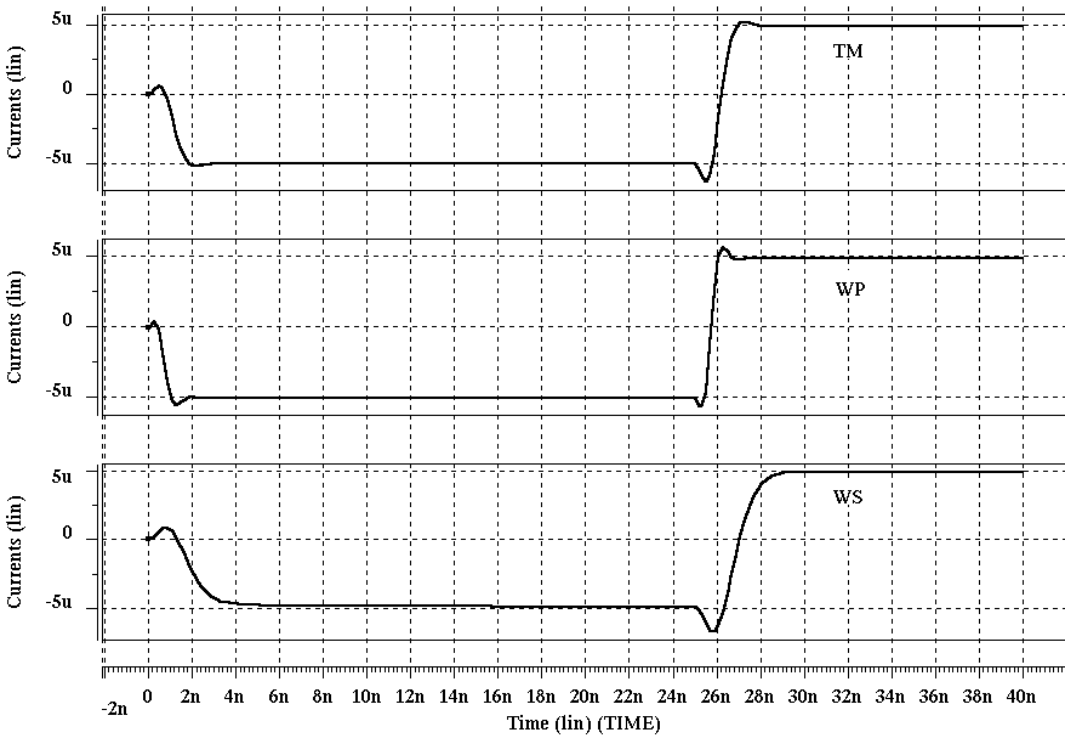


Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)
M1	5	1	M3	5	1	M5	5	1
M2	5	1	M4	5	1	M6	5	1

شکل ٦ -٤:پیاده‌سازی سوئیچهای S1-S4

٦-٢-٢-١)بررسی نتایج شبیه سازیها

مشخصاتی از مدار ضرب کننده که مورد توجه ماست سرعت و مقدار خطی بودن آن است. سیناپسها مهمترین عنصر پردازشگر در فیلتر ما است به همین دلیل مشخصات آن در مشخصه کلی فیلتر اثر دارد. در شکل (٦-٥) پاسخ یک سیناپس با ضریب ۰/۲ به پالس ورودی ۲۵µ نشان داده شده است.زمان صعود در بدترین شرایط سرعت ۵ns و توان مصرفی ۱۰۰mW است. همانطور که در استراتژی تراشه تشریح شد، سیگنال ورودی بوسیله S&H نمونه‌برداری می‌شود و به ورودی شبکه‌عصبی وارد می‌شود. باید خروجی شبکه‌عصبی در نصف پریود کلاک به مقدار نهایی خود برسد. بنابراین با توجه به سرعت سیناپس، فرکانس نمونه‌برداری سیگنال ورودی و همچنین حداکثر فرکانس ورودی بدست می‌آید. به همین دلیل سرعت سیناپس نقش کلیدی را در مشخصات فیلتر خواهد داشت و بر همین مبنا مدار سیناپس و اندازه ترانزیستورها برای حداکثر سرعت بهینه‌سازی شده‌است.



شکل ٦ -٥:پاسخ سیناپس با ضریب ۰/۲ به ورودی ۲۵µ در حالتهای ws,wp و tm

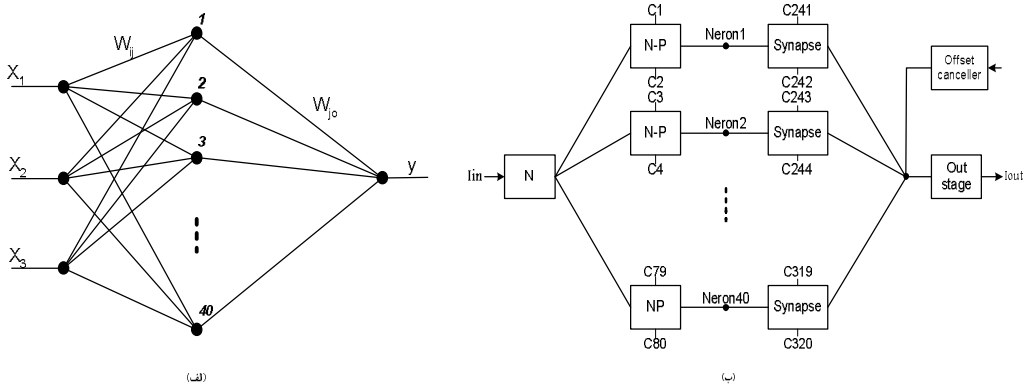
٦-٢-٣)پیاده سازی شبکه عصبی

شبکه عصبی مسیر مستقیم سه ورودی و٤٠ نرون در لایه مخفی دارد. یعنی هر ورودی با ٤٠ سیناپس به ٤٠ ند میانی متصل می‌شود و هر ند میانی با یک سیناپس به گره خروجی می‌رود (شکل ٦-٦الف). در مدار سیناپس قسمت N-P تعیین کننده وزنها است، بنابراین برای اتصال هر ورودی به ٤٠ نرون میانی می‌توان از یک بلوک N که در تمام ٤٠ سیناپس مشترک است استفاده کرد. اما برای اتصال هر نرون میانی به خروجی نیاز به هر دو بلوک N و N-P که یک سیناپس مستقل را می‌سازد داریم.

شکل(٦-٦-ب) روش تحقق شبکه‌عصبی با یک ورودی و ٤٠ نرون لایه مخفی را نشان میدهد.برای پیاده‌سازی ورودیهای بعدی مسیر بین ورودی و نرونهای ٤٠-١ برای هر ورودی جداگانه

قرار داده شده و خروجی آنها به نرونهای ۴۰-۱ وارد شده‌اند.همانطور که گفته شد طراحی مدارات در حالت جریان این مزیت را دارد که برای جمع خروجی سیناپسها در ورودی نرون لایه مخفی یا نرون خروجی نیازی به مدار جمع کننده نداریم. همچنین از آنجایی که تابع فعالیت نرونها، تابع خطی در نظر گرفته شده است خروجی و ورودی نرون با هم برابرند و نیازی به مدار جداگانه برای پیاده‌سازی نرون نداریم. [25]

شکل (۶-۶) نشان میدهد که خروجی ۴۰ سیناپس که بین نرونهای میانی و خروجی قرار دارند، در یک نقطه با هم جمع می‌شوند. این خروجی به عنوان ورودی شبکه عصبی مسیر برگشت ، باید در محدودهٔ دامنهٔ جریان ورودی شبکه‌عصبی مسیر برگشت حتی در بدترین حالت باشد. برای این منظور از یک طبقه خروجی که یک ضرب کننده با ضریب ثابت است استفاده شده است. همچنین در گره ورودی این طبقه خروجی، افست خروجی ۴۰ سیناپس با هم جمع می‌شود، که می‌تواند مقدار زیادی باشد و باعث ایجاد خطا و بدتر از آن اشباع طبقه خروجی شود. برای حذف افست در این گره یک حذف کننده افست که از بیرون تراشه کنترل می‌شود قرار داده شده است طریقهٔ حذف افست در این گره در قسمت شرح استراتژی چیپ تشریح شد.



شکل ۶ -۶:شبکه عصبی (الف)با سه ورودی (ب) تحقق مسیر یک ورودی به خروجی با استفاده از مدار سیناپس

٦-٢-٣-١)ضرب کننده خروجی

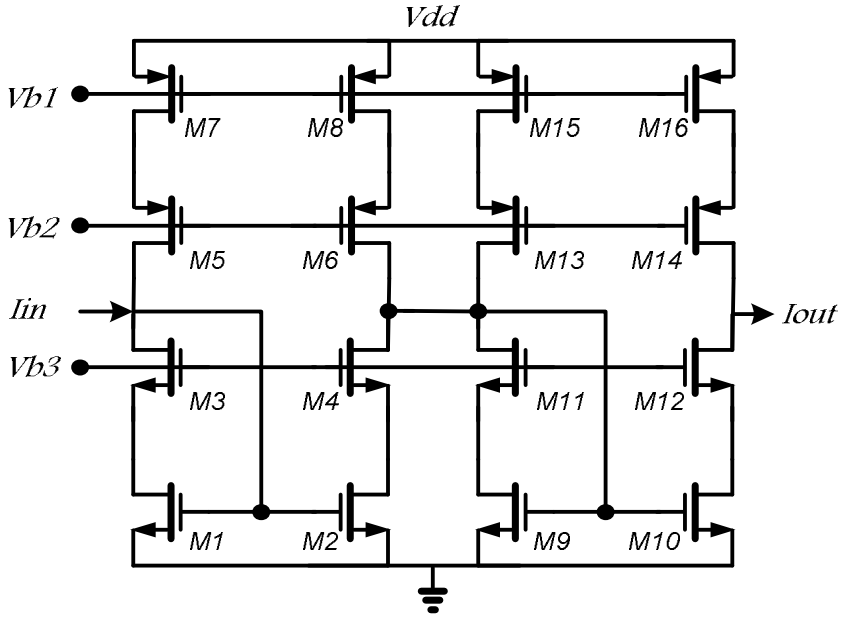
خروجی ٤٠ سیناپس که بین نرونهای میانی و نرون خروجی قرار دارند، در یک نقطه با هم جمع می‌شوند. این جریان به عنوان خروجی شبکه عصبی باید در محدودهٔ دامنهٔ جریان ورودی طبقه بعد باشد که آن هم یک شبکهٔ عصبی است. اگر فرض کنیم جریان سه ورودی Iin باشد جریان خروجی با فرض بدترین حالت برای وزنها به یکی از صورتهای زیر است:

$$Io=3*Iin*(0.3*0.3)*40=10.8*Iin \qquad (٦-٦)$$

$$Io=3*Iin*(0.3*0.1)*40=3.6*Iin$$

$$Io=3*Iin*(0.1*0.1)*40=1.2*Iin$$

با توجه به مدار یک ضرب کننده جریان، مشاهده می‌شود حداکثر دامنه Iin در جهت مثبت محدودیتی ندارد ولی در جهت منفی، حداکثر برابر با جریان بایاس شاخه‌ها (I_b) است. در گره‌های میانی حداکثر جریان ورودی به هر ضرب کننده ۳Iin*۰/۳=۰/۹Iin است؛ به همین دلیل جریان بایاس سیناپسهای میانی برابر جریان بایاس سیناپسهای ورودی در نظر گرفته شده‌اند. باتوجه به مقادیر محاسبه شده برای I_o در گره خروجی، با درنظر گرفتن این مطلب که تمام ضرایب ۰/۳ نخواهد شد و همچنین دامنهٔ جریان ورودی را برای کار کردن در ناحیه خطی حداکثر ۰/۲۵Iin انتخاب می‌کنیم حداکثر I_o، ۳/٦ برابر Iin است. به همین دلیل جریان بایاس ضرب کننده خروجی ۳/٦ برابر بقیه سیناپسها در نظر گرفته شده است . همچنین برای کاهش I_o به محدودهٔ I_{in} طبقه بعد این جریان I_o در ضریب ۰/۲۵ ضرب می‌شود مدار این ضرب کننده در شکل (٦-٧) دیده می‌شود. مطابق بودن ترانزیستورهای ردیف بالا و پایین مدار برای دقت ضرب کننده لازم است.



Transistor	W(µm)	L(µm)	M	Transistor	W(µm)	L(µm)	M	Transistor	W(µm)	L(µm)	M
M1	1.5	1	36	M7	4	1	36	M13	1.5	1	36
M2	1.5	1	36	M8	4	1	36	M14	1.5	1	9
M3	1.5	1	36	M9	1.5	1	36	M15	4	1	36
M4	1.5	1	36	M10	1.5	1	9	M16	4	1	9
M5	1.5	1	36	M11	1.5	1	36				
M6	1.5	1	36	M12	1.5	1	9				

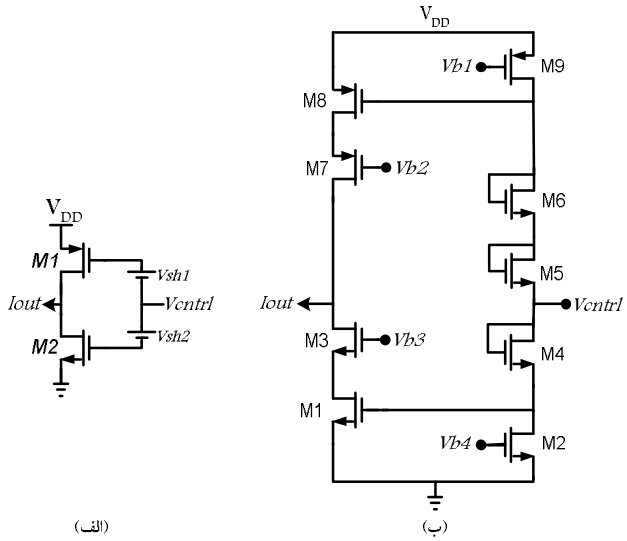
شکل ٦ -٧:طبقه خروجی

٦-٢-٣-٢)حذف کننده افست:

یکی ازمسائل مهم در سیناپسها افست خروجی آنها در اثر مطابق نبودن ترانزیستورهای آیینه کننده و همچنین مقاومت خروجی آنهاست. این مسأله زمانی قابل توجه می‌شود که در شبکه عصبی طراحی شده در گره‌های جمع کننده،این افستها با یکدیگر جمع شده و می‌تواند باعث اشباع طبقات بعدی ضرب کننده شود. در نتیجه نیاز به حذف کننده افست برای اطمینان از اشباع نشده حتی در بدترین شرایط تطابق داریم. گره ورودی طبقه خروجی که در آن جریان خروجی ٤٠ سیناپس با یکدیگر جمع می‌شوند بیشترین افست را در مدار خواهد داشت. مدار حذف کننده افست باید بگونه‌ای طراحی شود که خود، باعث به وجود آمدن افست در گره مورد نظر نشود یعنی در حالت

عادی جریان خروجی آن صفر باشد. همچنین امپدانس خروجی آن زیاد باشد تا بارگذاری در این گره نداشته باشد.

برای حذف افست کافی است جریانی برابر با جریان افست درگره مورد نظر با علامت مخالف آن به گره وارد کنیم. روشهای مختلفی برای حذف افست وجود دارد که برخی از آنها خودکار و برخی دیگر قابل تنظیم از بیرون هستند. اکثر روشهای خودکار حذف افست نیاز به سوئیچ و خازن و در نتیجه پالس کلاک برای عملکرد خود هستند. از آنجایی که ما در شبکه عصبی پالس کلاک نداریم از روشهای تنظیمی[1] استفاده کرده‌ایم.



Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)
M1	3	1	M4	1.5	4.5	M7	5	1
M2	1.5	1	M5	6	1	M8	7	1
M3	5	1	M6	6	1	M9	6	1

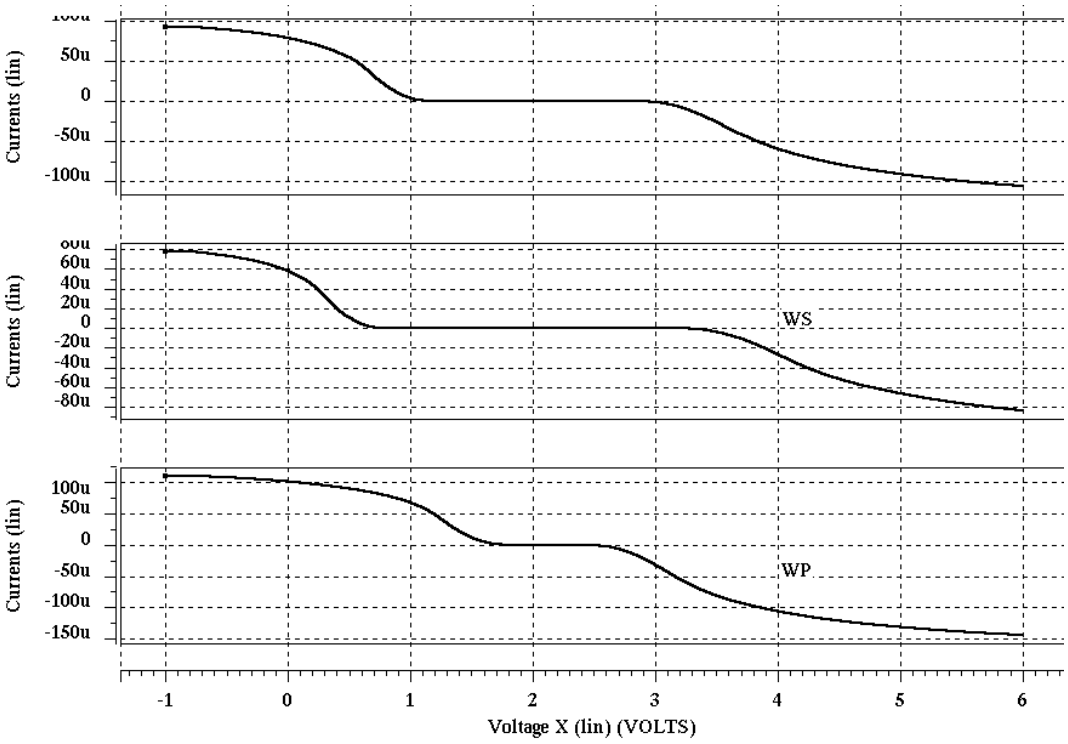
شکل ٦ -٨: حذف کننده افست (الف)مدار ساده شده (ب) مدار کامل

[1] Tunable

مدار ساده شده حذف کننده افست مطابق شکل(٦-٨-الف) است. V_{sh1} و V_{sh2} برای اطمینان از قطع بودن دو ترانزیستور M_1 و M_2 در محدوده‌ای مشخص از ولتاژ ورودی قرار داده شده‌اند. اگر این دو ولتاژ به اندازه کافی بزرگ باشند در محدوده‌ای از ولتاژ ورودی فقط M_1 روشن است و در محدوده‌ای دیگر فقط M_2 و در محدوده‌ای دیگر هیچ یک روشن نیست.

در محدوده‌ای که هر دو M_1 و M_2 قطعند، هیچ جریانی در خروجی نداریم؛ بنابراین در گره خروجی افست اضافی در حالتی که نیاز به حذف کننده افست نیست،ایجاد نمی‌شود. برای افزایش امپدانس خروجی از ساختار کسکود به جای M_1 و M_2 در شکل (٦-٨-الف) استفاده شده است.

مدار کامل این حذف کننده در شکل (٦-٨-ب) و مشخصه آن با مدلهای معمولی، کمترین سرعت و بیشترین سرعت در شکل (٦-٩) آمده است. مشاهده می‌شود که می‌توان جریانهای ١٠٠μ- تا ٨٠μ را در بدترین شرایط حذف کرد. این اندازه تقریبا برابر جریان بایاس سیناپسها است؛ یعنی تا مجموع ١٠٠% آفست ناشی از عدم تطابق را می‌توان حذف کرد. باید توجه داشت که عدم تطابق ترانزیستورها در حدود ١% در بدترین شرایط است و همچنین از آنجایی که آفست یک پدیده تصادفی است واریانس تغییرات جریان در گره ورودی طبقه خروجی $\sqrt{40s^2}$ می‌شود. بنابراین این مدار حذف کننده آفست قادر است در بدترین شرایط آفست را حذف کند.(اگر چه در مراحل تست تراشه مشکل آفست وجود نداشت). در محدودهٔ ١/٥<Vcntrl<٢/٥ جریان خروجی صفر است. با قرار دادن این حذف کننده در گره ورودی طبقه خروجی در نت لیست پس از لی آوت شبکه عصبی، افست این گره که در بدترین حالت با تمام وزنهای ٠/٢ برابر ٠/٩μA است را می‌توان حذف کرد. با اعمال ولتاژ مناسب به Vcntrl مشاهده می‌شود افست در این گره به ٠/١٨nA می‌رسد. همچنین این مدار حذف کننده افست در سرعت خروجی کل شبکه اثری ندارد (به علت زیاد بودن امپدانس خروجی‌اش) نتایج شبیه سازیها این مطلب را تأیید می‌کند.



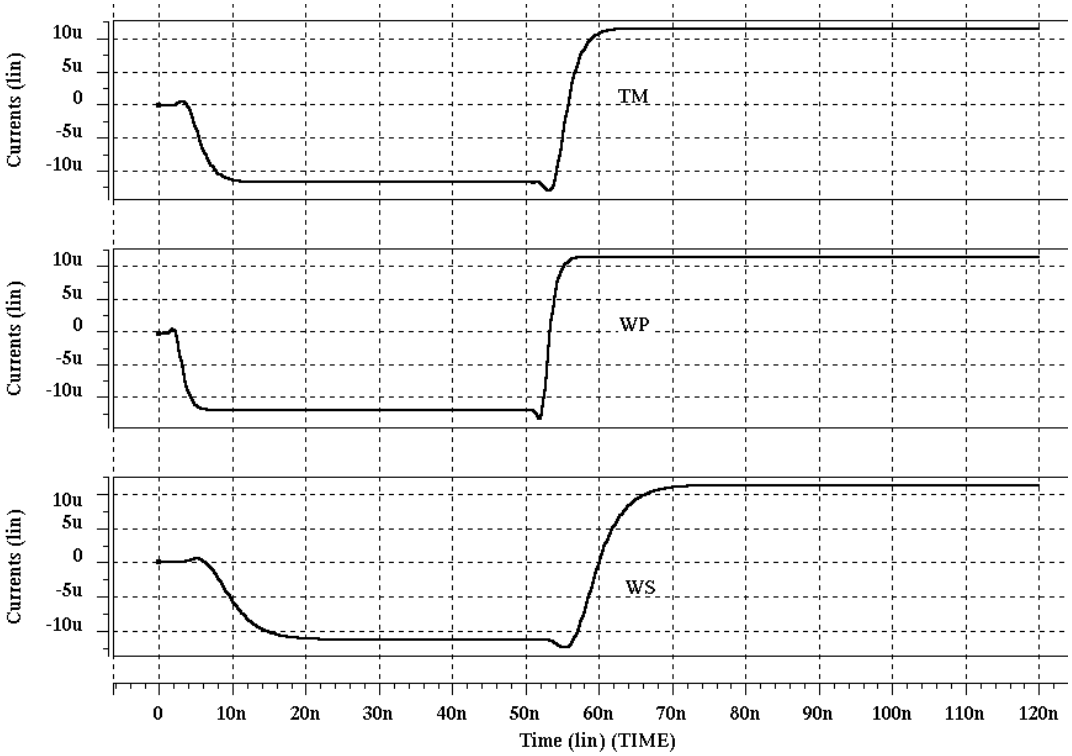
شکل ٦ -٩: مشخصه حذف کننده آفست در حالتهای ws,wp و tm

٦-٢-٤)بررسی نتایج شبیه‌سازی‌ها و عملکرد شبکه عصبی

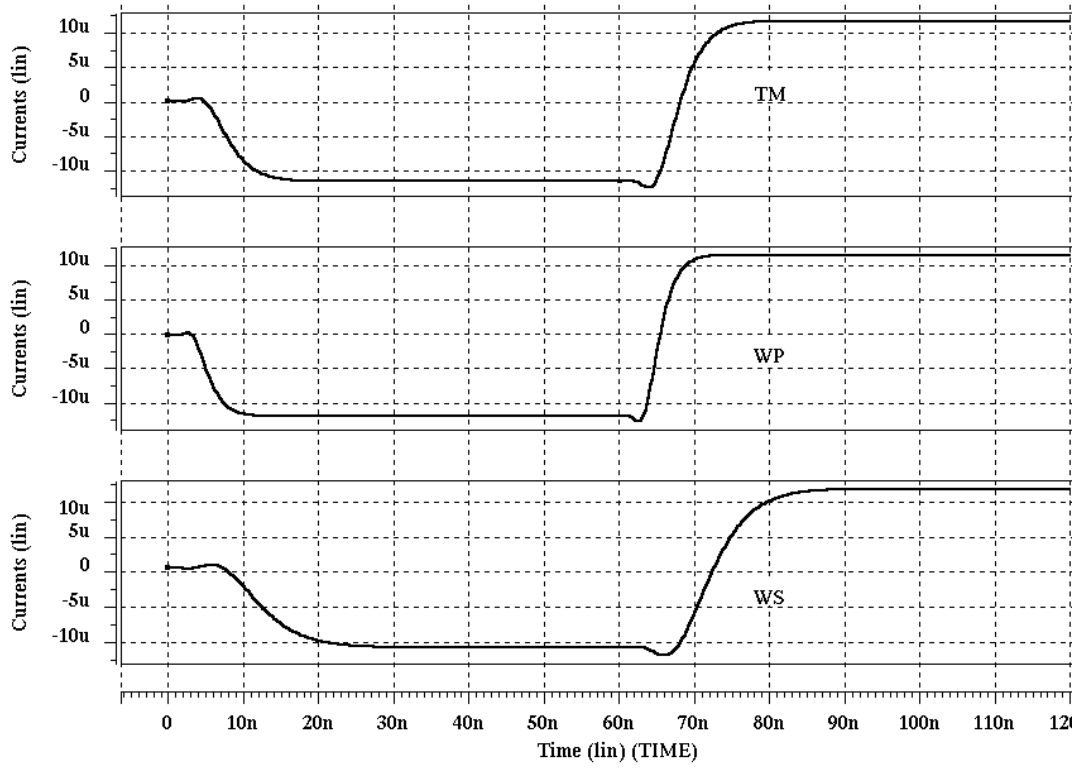
شبکه عصبی طرح شده مهمترین بلوک سازنده و اصلی‌ترین عنصر پردازشگر سیگنال فیلتر است و مشخصات آن در مشخصه کلی فیلتر نقش اساسی دارد. مشخصاتی از مدار شبکه عصبی که مورد توجه ماست سرعت و مقدار خطی بودن خروجی آن نسبت به ورودی و همچنین تغییرات وزنها است.

شبکه‌های عصبی خطی به عنوان پردازشگر سیگنال کاربردهای مختلفی دارد. در استراتژی تراشه دیده شد که ورودی و خروجی هر دو شبکه عصبی بصورت مستقل در دسترس است و می‌توان آنها را به صورت جداگانه برای پردازش سیگنال استفاده کرد. در این قسمت مشخصه شبکه‌عصبی با سه ورودی، ٤٠ نرون در لایه مخفی و یک خروجی بررسی می‌شود و با مشخصه شبیه‌سازی با نت لیست استخراج شده از لی‌آوت مقایسه می‌شود.

در این شبیه‌سازیها پالس ۱۰μA به هر سه ورودی اعمال شده است.



شکل ٦-١٠: پاسخ شبکه‌عصبی قبل از لی‌آوت



شکل ٦-١١: پاسخ شبکه‌عصبی پس از لی‌آوت

۳-٦)بلوک دیجیتال فیلتر

همانطور که قبلا دیدیم، برای پیاده سازی شبکه عصبی با وزنهای گسسته، از چهار وزن (۰/۳و۰/۲و۰و۰/۱-) استفاده شده است که از طریق سوئیچهای سیناپسها مقدار وزن دلخواه انتخاب می‌شود. در نتیجه ۲ بیت برای ذخیره‌سازی حالت هر وزن نیاز داریم. از آنجایی که فیلتر طراحی شده قابل برنامه ریزی است، وابسته به فرکانس مرکزی و ضریب کیفیت فیلتر مورد نظر ضرایب سیناپسهای شبکه عصبی تغییر می‌کند و باید بتوان این ضرایب را از طریق حالتهای سوئیچها پیاده‌سازی کرد. بنابراین حالت روشن یا خاموش بودن سوئیچها وابسته به f_o و Q فیلتر مورد نظر متغیر است. برای ذخیره سازی حالتهای سوئیچها، از یک شیفت رجیستر استفاده شده است که هر بیت آن وضعیت یک سوئیچ را کنترل می‌کند و هر دو بیت ضریب یک سیناپس را مشخص می‌کند. شبکه عصبی مسیر مستقیم با ۳ ورودی و ٤٠ نرون در لایه مخفی در مجموع ١٦٠ سیناپس دارد و ۳۲۰ بیت نیاز دارد. شبکه مسیر برگشت هم با ۲ ورودی و ٤٠ نرون لایه مخفی در مجموع ۱۲۰ سیناپس دارد که به ۲٤٠ بیت نیاز دارد پس در مجموع ٥٦٠ بیت باید ذخیره سازی شود.

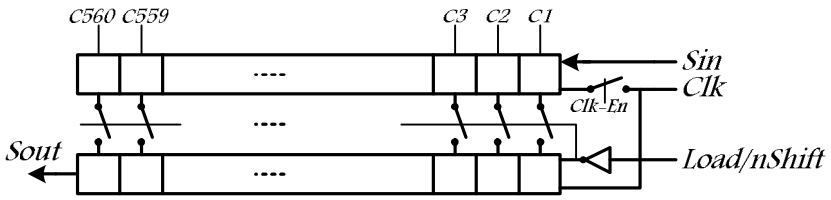
برای ذخیره سازی بیتها می‌توانستیم از ساختار RAM استفاده کنیم بگونه‌ای که باعث دسترسی سریع‌تر به بیتها و ذخیره سازی سریع‌تر آنها شود. در نتیجه زمان آموزش شبکه بسیار کاهش می‌یابد. اما RAM نیاز به آدرس‌دهی خانه‌های حافظه و مدارات دیکد آدرس دارد که ساختار مدار را پیچیده‌تر می‌کند. همچنین برای نوشتن در RAM نیاز به تعداد بیشتری پایه تراشه برای آدرس و دیتا داریم. با استفاده از شیفت رجیستر اطلاعات به صورت سریال وارد می‌شوند و نیاز به آدرس‌دهی نیست، که در مجموع یک پایه از تراشه برای وارد کردن بیتها نیاز است. همچنین برنامه ریزی و آموزش شبکه عصبی، تنها در ابتدای استفاده از فیلتر و تنها یکبار صورت می‌گیرد، پس نیازی به دسترسی سریع به بیتها نداریم.

مسألهای که در ذخیره سازی بیتها اهمیت زیادی دارد، ذخیره شدن صحیح بیتها و پایدار ماندن و تغییر نکردن اطلاعات موجود در شیفت رجیستر است. از آنجایی که f_o و Q فیلتر ما به وسیله وزنهای شبکههای عصبی تعیین میشوند، هرگونه خطا در ذخیره شدن بیتها یا تغییر آنها باعث تغییر مشخصات فیلتر میگردد. در ادامه خواهیم دید چگونه این دو مطلب در طراحی قسمت دیجیتال در نظر گرفته شدهاند.

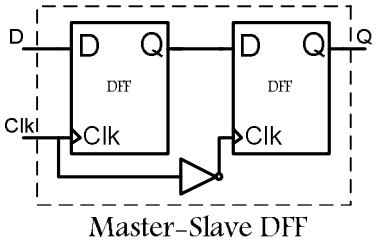
٦-٣-١)شرح ساختار قسمت دیجیتال

در شکل (٦-١٢) ساختار بلوک دیجیتال نشان داده شده است. همانطور که گفته شد، تغییر نکردن بیتها و ذخیره شدن صحیح آنها اهمیت زیادی دارد. برای تامین این دو منظور از ترکیب Master-slave برای ذخیره شدن تک بیت استفاده شده است(شکل(٦-١٣)). این ساختار، حساس به لبه است و ذخیره شدن یک بیت در دو DFF با یک اختلاف فاز به اندازه پریود کلاک صورت میگیرد. در نتیجه تغییرات ورودی در خروجی Q ظاهر نمیشود و تنها مقدار آن در لبه پایین رونده پاس ساعت مهم است که در خروجی Q ظاهر میشود.

ذخیره کردن بیتها در شیفت رجیستر در ٥٦٠ پالس ساعت صورت میگیرد. در طول این مدت پایه کنترلی CLK-EN ، 'H' است که باعث فعال شدن کلاک شیفت رجیستر اصلی میشود. پس از آن CLK-EN 'L' میشود تا با کلاکهای بعدی اطلاعات شیفت پیدا نکند.

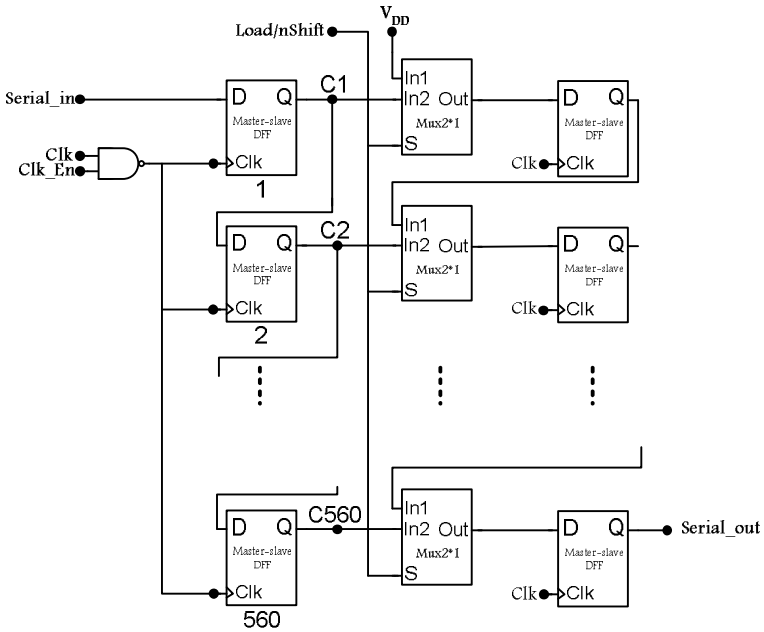


شکل ٦ -١٢: بلوک دیجیتال ذخیره کننده وزنهای شبکه عصبی



شکل ٦ -١٣: ترکیب Master-slave استفاده شده به عنوان تک بیت در شیفت رجیستر

برای اطمینان از صحت عملکرد شیفت رجیستر اصلی، یک شیفت رجیستر تست با ٥٦٠ بیت وجود دارد که می‌تواند به صورت موازی از شیفت رجیستر اصلی بار شود. اگر پایه 'H' Load شود، اطلاعات شیفت رجیستر اصلی به صورت موازی وارد شیفت رجیستر ٥٦٠ بیتی تست می‌شود. حال اگر پایه 'L' Load شود اطلاعات این شیفترجیستر به صورت سری از آخر (معادل پایه S-out خارج می‌شود). پس از نوشتن ٥٦٠ بیت در شیفت‌رجیستر اصلی، آنها را در شیفت‌رجیستر کمکی بار می‌کنیم و با بازخوانی آنها از صحت ذخیره شدن بیتها اطمینان می‌یابیم. این تست صحت ذخیره شدن بدون اثر گذاشتن و تغییر شیفت‌رجیستر اصلی صورت می‌گیرد.



شکل ٦ -١٤: پیاده‌سازی بلوک دیجیتال با گیت

٦-٣-٢)پیاده سازی قسمت دیجیتال از فایل Verilog

ابتدا این ساختار دیجیتال به صورت رفتاری[1] به وسیله زبان توصیف سخت افزار verilog توصیف می‌شود. سپس با استفاده از نرم افزار synopses و فایل سنتز تکنولوژی ۰/۸μm این فایل سنتز می‌شود، به این ترتیب که مدار منطقی در سطح گیت که رفتار آن مانند این توصیف رفتاری است مشخص می‌شود. فایل سنتز به وسیله نرم افزار کیدنس لی‌آوت و place_route می‌شود. پس از لی‌آوت ، فایل SDF از آن استخراج می‌شود که حاوی اطلاعات دقیق زمان بندی[2] و تأخیر برای مدار لی‌آوت شده است. بوسیله شبیه‌سازی با نرم افزار Modelsim می‌توان رفتار مدار پس از لی آوت را با استفاده از فایل SDF پس از لی آوت و فایل سنتز مشاهده کرد و از صحت عملکرد آن اطمینان حاصل نمود. همچنین پس از لی آوت، گزارشهای مربوط به حداکثر کلاک، توان و سطح چیپ را می‌توان استخراج کرد.

٦-٤) مدار ترارسانا

به علت مزایایی که گفته شد و سادگی، مدارات شبکه عصبی در حالت جریان طراحی شده‌اند. به همین دلیل ورودی شبکه‌های عصبی در نتیجه ورودی‌ها و خروجی بلوکهای تأخیر (S&H) به صورت جریان است. از آنجایی که سیگنال ورودی فیلتر ولتاژ است نیاز به یک مبدل ولتاژ به جریان داریم. مشخصات این ترارسانا ورودی در مشخصات کل فیلتر از نظر سرعت و خطی بودن تأثیر مهم و زیادی دارد. همانطور که دیدیم به علت مدارات ساده سیناپسها و مدارات شبکه عصبی و ساختار

[1] Behavioural
[2] Timing

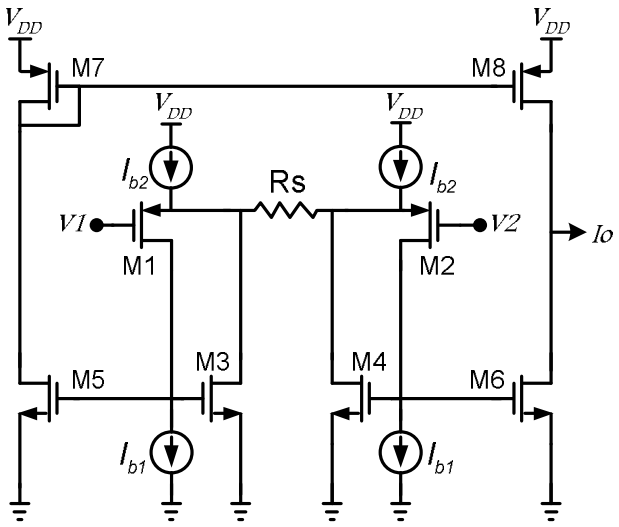
استفاده شده در شبکه عصبی که از نوع مسیر مستقیم[1] است، سرعت این شبکه‌ها زیاد است. همچنین به علت ساختار ساده ضرب کننده، غیرخطی بودن شبکه عصبی کم است. در نتیجه سرعت فیلتر و خطی بودن آن تا حد زیادی وابسته به همین مشخصات ترارسانا ورودی دارد.

٦-٤-١)شرح مدار ترارسانا [1,26]

مدار ساده شده ترارسانا طراحی شده در شکل (٦-١٥) نشان داده شده است. ولتاژ ورودی به وسیله M_1 و M_2 دو سر مقاومت خطی ٦٠ $K\Omega$ می‌افتد و جریانی متناسب با ورودی به وجود می‌آورد که از M_3 و M_4 می‌گذرد. به جای مقاومت Rs از ترکیبهای ترانزیستوری هم می‌توان استفاده کرد، اما برای افزایش خطی بودن ترارسانا از مقاومت استفاده شده‌است.جریان گذرنده از M_3 و M_4 که متناسب با ولتاژ ورودی است به وسیلهٔ M_5-M_6 کپی می‌شود. اگر خروجی تفاضلی موردنیاز باشد I_{D5} و I_{D6} این خروجی را به ما می‌دهد. شبکه عصبی به صورت غیرتفاضلی طراحی شده است بنابراین نیاز به ورودی منفرد[2] دارد به همین دلیل با کم کردن دو جریان تفاضلی خروجی ترارسانا به وسیله ترکیب M_5...M_8 آنرا به خروجی منفرد تبدیل می‌کنیم. جریان M_1 و M_2 ثابت (I_{b1}) است بنابراین تغییرات V_{gs1} و V_{gs2} در اثر تغییرات ورودی ناچیز است و ولتاژ دو سر مقاومت، ولتاژ ورودی را دنبال می‌کند. از آنجایی که ولتاژ سورس ترانزیستورهای ورودی، برابر ولتاژ ورودی است و مقدار بزرگی است برای حذف اثر بدنه که موجب غیرخطی شدن ترارسانا می‌شود از ورودی PMOS استفاده شده است که می‌توان سورس و بدنه آنها را به یکدیگر متصل کرد.

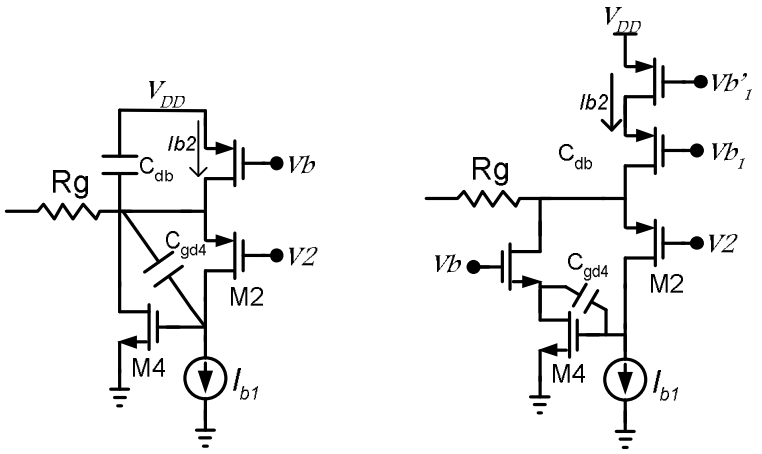
---

[1] Feed-Forward
[2] Single



شکل ٦ -١٥:مدار ساده شده ترارسانای استفاده شده

ولتاژ نسبتا بزرگی که دو سر منابع I_{b2} می‌افتد، در صورت کم بودن مقاومت خروجی آنها جریانی وابسته به ورودی اما به صورت غیرخطی وابسته به آن بوجود می‌آورد که با I_{D3} و I_{D4} جمع می‌شود. برای رفع این مشکل از ترکیب کسکود برای منبع جریان I_{b2} استفاده شده است. مساله دیگری که وجود دارد بعلت تغییرات زیاد جریان M_3 و M_4 که متناسب با تغییرات ورودی است، تغییرات V_{gs} آنها که ولتاژ دو سر منبع I_{b1} است، زیاد است. به همین دلیل برای منابع جریان I_{b1} هم ترکیب کسکود استفاده شده است، زیرا همانطور که می‌دانیم ثابت بودن جریان M_1 و M_2 و در نتیجه ثابت بودن ولتاژ گیت سورس آنها نقش اساسی در خطی بودن ترارسانا دارد.[28]



شکل ٦ -١٦:خازنهای مهم در فرکانسهای بالا (الف) مدار اولیه (ب)مدار نهایی

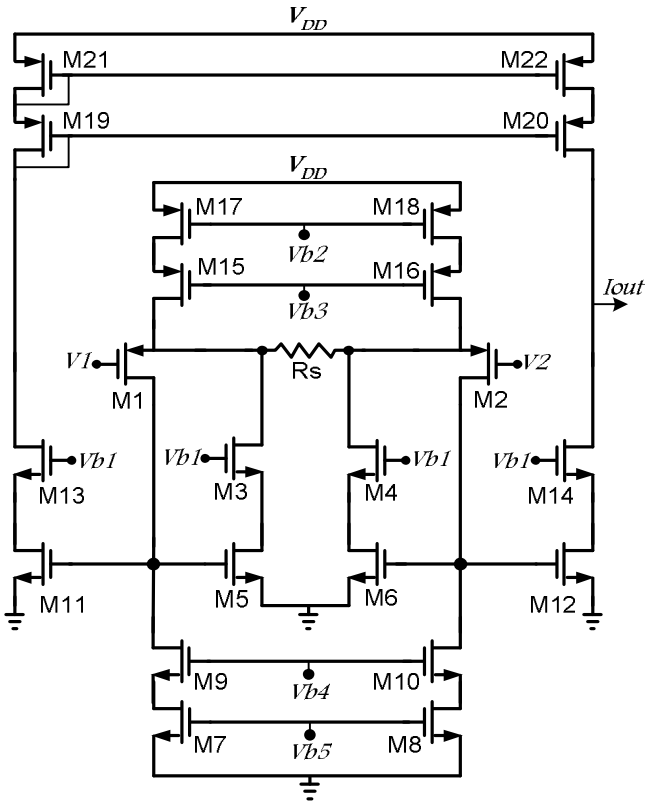
٦-٤-٢)بررسی رفتار ترارسانا در فرکانسهای بالا

همانطور که گفته شده ثابت بودن جریان M_1 و M_2 تاثیر زیادی بر خطی بودن سیستم دارد. در فرکانسهای پایین با فرض ثابت بودن I_{b1} با تغییرات ورودی، جریان M_1 و M_2 ثابت است. اما در فرکانسهای بالا به علت خازنهای ترانزیستورها، قسمتی از جریان I_{b1} از مسیری غیر از M_2 می‌گذرد.

در شکل (٦-١٦) مهمترین خازنهایی که در فرکانس بالا باعث تزریق جریان به درین M_2 و در نتیجه تغییر جریان M_2 می‌شوند، نشان داده شده است. ولتاژ بزرگی که تقریبا برابر ورودی است دو سر خازن C_{GD4} می‌افتد و باعث عبور جریان قابل ملاحظه‌ای از این خازن می‌شود، که جریان M_2 را تغییر می‌دهد و باعث تغییر غیر خطی ولتاژ گیت-سورس ترانزیستور M_2 با ورودی می‌شود. این امر در مجموع باعث غیرخطی شدن ترارسانا در فرکانسهای بالا می‌شود. همچنین خازن C_{db} منبع جریان I_{b2} هم باعث تزریق یک جریان وابسته به ورودی، به سورس M_1 و M_2 می‌شود که این جریان، مستقیما با جریان مقاومت Rs و در نتیجه جریان خروجی جمع می‌شود و باعث غیرخطی شدن ترارسانا در فرکانسهای بالا می‌شود. اثر این خازن با کسکود کردن منبع جریان I_{b2} که باعث کاهش

ولتاژ دو سر این خازن می‌شود کاهش می‌یابد. برای کاهش اثر خازن C_{GD4} هم، به وسیله ساختار شکل(٦-١٦-ب) ولتاژ دو سر آن را کم می‌کنیم.

مدار کامل ترارسانا استفاده شده در شکل (٦-١٧) نشان داده شده است. از آنجایی که خروجی، تفاضل جریان M_3 و M_4 در شکل (٦-١٥) است هارمونیهای زوج حذف می‌شوند. همچنین برای آیینه شدن دقیق I_{D5} و I_{D6} به وسیله M_{11} و M_{12} از ترکیب مشابه M_5 و M_6 برای آنها استفاده شده است (تا ولتاژهای V_{DS11} و V_{DS5} یکسان باشد).



Transistor	W(μm)	L(μm)	Transistor	W(μm)	L(μm)	Transistor	W(μm)	L(μm)
M1	200	1	M9	60	1	M17	100	1
M2	200	1	M10	60	1	M18	100	1
M3	5	1	M11	40	1	M19	20	1
M4	5	1	M12	40	1	M20	20	1
M5	40	1	M13	5	1	M21	40	1
M6	40	1	M14	5	1	M22	40	1
M7	60	1	M15	200	1			
M8	60	1	M16	200	1			

شکل ٦ -١٧:مدار نهایی ترارسانا

٦-٣-٤) ولتاژ حالت مشترک[1] ورودی و خطی بودن ترارسانا

با توجه به مدار ترارسانا مشاهده می‌شود خطی بودن آن تا حد زیادی وابسته به آن است که تغییرات ولتاژ ورودی، به دو سر مقاومت R_S اعمال شود. برای این منظور باید تغییرات $V_{gs1,2}$ با تغییرات ورودی حداقل باشد، که به وسیله ثابت نگه داشتن جریان ترانزیستورهای ورودی صورت می‌گیرد. در نتیجه باید جریان منبع جریان پایینی نیز با تغییرات ورودی ثابت بماند. همچنین ثابت ماندن جریان منابع جریان بالای مدار ($M_{15},\ldots,M_{17}$) با تغییرات ورودی، در خطی بودن ترارسانا اثر دارد؛ زیرا تغییرات جریان آنها مستقیما با جریان مقاومت R_S جمع می‌شود و بر روی THD خروجی اثر دارد. بنابراین محدودهٔ ولتاژ عملکرد ورودی باید به گونه‌ای باشد که منابع جریان و ترانزیستورهای ورودی در ناحیه فعال خود عمل کنند و وارد ناحیه خطی نشوند.

از مدار ترارسانا دیده می‌شود که حداکثر ولتاژ ورودی به وسیله ولتاژ گیت سورس ترانزیستورهای ورودی و ولتاژ اشباع ترانزیستورهای منابع جریان بالایی مشخص می‌شود.

$$Vin1_{max}=Vdd-Vdsat_{17}-Vdsat_{15}-Vgs_1 \qquad (٦-٨)$$

از طرف پایین ولتاژ گیت سورس M_{12} مانع اشباع منبع جریان پایین می‌شود، اما ولتاژ ورودی تا جایی می‌تواند پایین برود که ترانزیستورهای ورودی اشباع نشوند.

$$Vin1_{min}=Vgs_{12}-Vth_1 \qquad (٦-٩)$$

که با توجه به Vin_{max} و Vin_{min} ولتاژ مشترک ورودی و حداکثر دامنه ورودی مشخص می‌شود.

[1] Common mode

همانطور که دیده می‌شود بیشترین محدودیت از بالا است.اندازه‌های ترانزیستورهای ورودی و منابع جریان به گونه‌ای انتخاب شده‌اند که حداکثر سوئینگ ورودی با کمترین THD در بیشترین فرکانس به دست آید. [27]

مسأله دیگر در طراحی ترارسانا استفاده از ترانزیستورهای PMOS ورودی است که باعث خطی‌تر شدن ترارسانا می‌شود. علت این امر واضح است زیرا: ۱ـ تغییرات ولتاژ سورس M_1 و M_2 زیاد است (همان تغییرات ورودی است) که باعث تغییر ولتاژ آستانه این دو ترانزیستور و در نتیجه ولتاژ گیت سورس آنها با تغییرات ورودی می‌شود. در نتیجه تغییرات ورودی منهای تغییرات ولتاژ گیت سورس ترانزیستورهای ورودی دو سر مقاومت R_S می‌افتد که چون این تغییرات ولتاژ آستانه با ورودی غیرخطی است باعث غیرخطی شدن ترارسانا می‌شود. ۲ـ ولتاژ آستانه ترانزیستورهای ورودی با افزایش ولتاژ سورس آنها افزایش می‌یابد، که باعث کاهش ولتاژ دو سر منابع جریان بالایی می‌شود که تغییر جریان آنها در THD خروجی اثر مستقیم دارد.

٦-٤-٣)ترانزیستورهای مطابق

ترانزیستورهایی که مطابق بودن آنها اهمیت دارد در شکل (٦-١٧) نشان داده شده‌اند. مطابق بودن ترانزیتسورهای آیینه جریان (M11…M14 و M19…M22) اهمیت زیادی دارد، زیرا همانطور که دیده می‌شود برای تبدیل خروجی دیفرانسیلی (خروجی ID_{13} و ID_{14}) به خروجی منفرد، این دو جریان از هم کم شده‌اند که این عمل به وسیله آیینه جریان M11…M14 و M19…M22 صورت می‌گیرد. کم کردن دو جریان باعث حذف هارمونی دوم می‌شود. اما از آنجایی که آیینه جریانها ایده‌آل نیستند و بخاطر عدم تطابق ترانزیستورهای آینه جریان و همچنین کم بودن مقاومت خروجی آنها

جریانهای دو طرف آیینه جریان دقیقا با هم برابر نیستند که باعث حذف نشدن کامل مؤلفه دوم می‌شود که منجر به کم شدن خطی بودن مدار می‌شود. برای افزایش مقاومت خروجی آیینه‌های جریان از ترکیب کسکود استفاده شده است و برای افرایش تطابق آنها از روشهای مناسب لی آوت استفاده شده است.

٦-٤-٤)نتایج شبیه‌سازیهای قبل و بعد از لی‌آوت و بررسی رفتار ترارسانا

مقدار غیر خطی بودن ترارسانا و مقدار ترارسانایی آن پارامترهای مورد علاقه ما هستند. مشخصات ترارسانای طراحی شده قبل و بعد از لی‌آوت در تمام حالتهای معمولی، بدترین توان و بدترین سرعت در جداول زیر خلاصه شده‌اند. ولتاژ حالت مشترک ورودی ۱ ولت است و ولتاژ دیفرانسیل ۱۰MHz با دامنه ۱/۵ ولت به آن اعمال شده‌است.

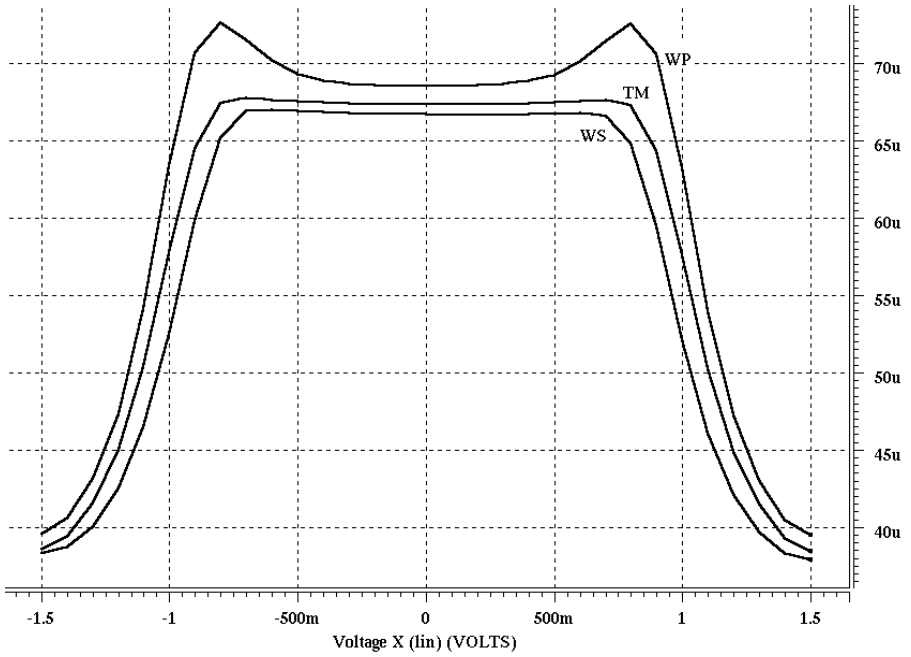
جدول ٦-١: مشخصات ترارسانا قبل از لی‌آوت در فرکانس ۱۰MHz

prelayout	tm	ws	wp
THD(db)	-72.2	-61	-54.2
Power(mW)	12.6	11	14.9

جدول ٦-٢: مشخصات ترارسانا بعد از لی‌آوت در فرکانس ۱۰MHz

postlayout	tm	ws	wp
THD(db)	-63.1	-61.7	-53.1
Power(mW)	13.4	12	14.2

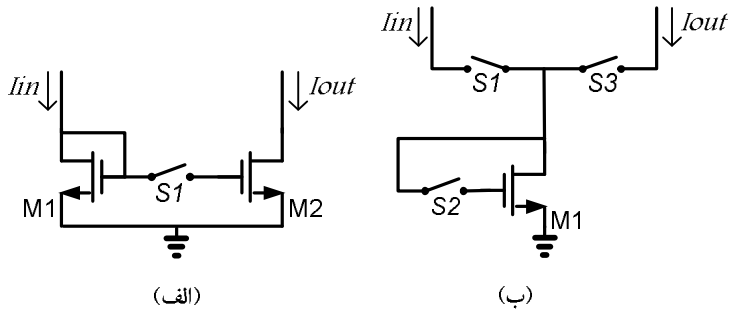
مشخصه ترارسانا بعد از لی‌آوت در شکل (٦-١٨) دیده می‌شود، که دیده می‌شود مقدار ترارسانایی آن ٦٧/٥μV/A است. تغییرات ترارسانایی به ازای ٢V تغییرات دیفرانسیل کمتر از ٠/١ درصد است.



شکل ٦ -١٧: مشخصه ترارسانا بعد از لی‌آوت

٦-٥) مدار S&H [29]

در مدارات مد جریان در بسیاری مواقع نیاز به نمونه برداری و نگهداری جریان ورودی به منظور پردازش یا ایجاد تاخیر داریم. تکنیکهای نمونه برداری از جریان را می‌توان به دو دستهٔ حلقه باز و حلقه بسته دسته بندی کرد. [30] ساده‌ترین شکل مدار S&H حلقه باز به صورت شکل (٦-١٩-الف) است. در این مدار با بستن سوئیچ S_1 جریان خروجی، جریان ورودی را دنبال می‌کند (مرحله نمونه برداری) سپس در فاز نگهداری[1] S_1 باز می‌شود که جریان خروجی به واسطهٔ باری که بر روی خازن گیت سورس M_2 ذخیره شده است، ثابت باقی می‌ماند. دقت این مدار عمدتا وابسته به تطابق بین M_1 و M_2 و مقاومت خروجی محدود M_1 و M_2 می‌باشد. مشکل دوم باعث می‌شود که به علت اختلاف ولتاژهای درین سورس ترانزیستورهای M_1 و M_2 جریانهای ورودی و خروجی یکی نشوند. ولتاژ درین سورس M_1 برابر ولتاژ گیت سورس است در حالی که ولتاژ درین سورس ترانزیستور M_2 وابسته به بار متصل شده است. برای افزایش تطابق M_1 و M_2 باید از ترانزیستورهای بزرگ استفاده کنیم که سرعت مدار را کاهش می‌دهد. مشکل دیگری که باعث کاهش دقت این مدار می‌شود مساله تزریق پالس کلاک سوئیچ S_1 است که باعث تغییر ولتاژ گیت سورس M_2 قبل و بعد از بسته شدن سوئیچ S_1 می‌شود که در نتیجه جریان ورودی و خروجی یکسان نخواهند بود.

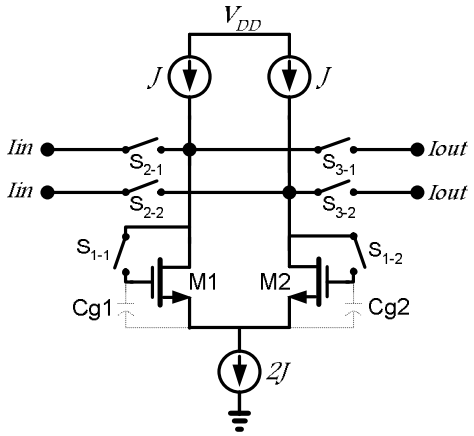


شکل ٦ -١٨:مدار ساده S&H (الف) حلقه باز (ب) حلقه بسته

[1] hold

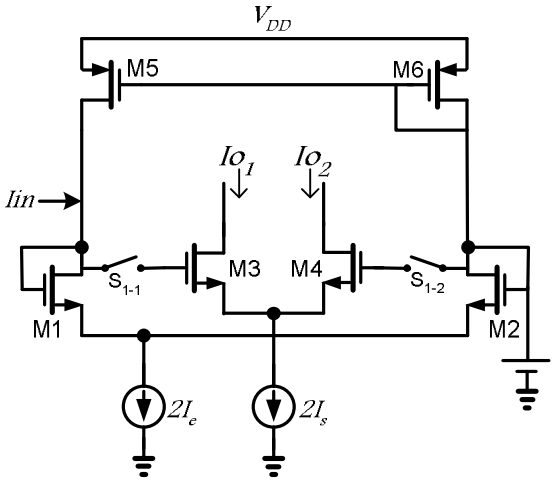
برای افزایش دقت و سرعت بیشتر می‌توان از ساختار حلقه بسته برای S&H استفاده کـرد کـه در شکل (٦-١٩-ب) نشان داده شده است. دراین مدار جریان I_{in} با بسته شدن سـوئیچ‌هـای S_1 و S_2 نمونه برداری می‌شود برای نگهداشتن جریان S_1 و S_2 باز می‌شوند و S_3 بسته می‌شود جریـان I_{out} بـه واسطهٔ باری که روی خازن گیت M_1 ذخیره شده است برابر با جریان I_{in} خواهد بود . نکته مهم ایـن است که ترانزیستوری که برای تولید جریان خروجی استفاده شده است همان ترانزیستوری است کـه برای نمونه برداری I_{in} استفاده شده است،بنابراین دیگر مساله تطابق ترانزیستور نمونه‌بردار و خروجی وجود ندارد و دقت رابطه ورودی خروجی افزایش می‌یابد. در اینجاهم تزریـق پـالس سـاعت باعـث ایجاد خطا در جریان خروجی می‌شود. همچنین ولتاژ درین-سورس ترانزیسـتور M_1 کـه در مرحلـه نمونه‌برداری برابر ولتاژ گیت-سورس آن است، در فاز نگهداری متفاوت است و بـه علـت مقاومـت خروجی محدود M_1 باعث کاهش دقت جریان خروجی می‌شود.

برای حذف اثر تزریق پالس ساعت یک راه استفاد ه از ساختار تفاضلی است، که باعث حذف افست مشترک ناشی از پالس کلاک در خروجی می‌شود. مدار تفاضلی بر مبنای مدار ساده حلقـه بـاز در شکل (٦-٢٠) نشان داده شده‌است.



شکل ٦ -١٩: S&H دیفرانسیل بر اساس ساختار حلقه باز

M_1 و M_2 یک تقویت‌کننده تفاضلی را تشکیل می‌دهند که سوئیچهای $S_{1\text{-}1}$ و $S_{1\text{-}2}$ در گیت آنها قرار دارد. جریان دیفرانسیلی ورودی از طریق سوئیچهای $S_{2\text{-}1}$ و $S_{2\text{-}2}$ در فاز f_1 وارد می‌شود و خروجی تفاضلی در فاز f_2 از طریق سوئیچهای $S_{3\text{-}1}$ و $S_{3\text{-}2}$ خارج می‌شود. تزریق پالس ساعت بوسیله مشخصه حذف مولفه مشترک تقویت‌کننده‌های تفاضلی حذف می‌شود. همانطور که دیده می‌شود تزریق پالس ساعت سوئیچهای $S_{1\text{-}1}$ و $S_{1\text{-}2}$ بصورت یکسان و به یک مقدار باعث افزایش ولتاژ خازنهای گیت M_1 و M_2 می‌شود که این تغییر مشترک در خروجی حذف می‌شود. مشکل این مدار این است که نیاز به ورودیهای تفاضلی دارد و خروجی‌اش هم تفاضلی است، در حالیکه مدارات شبکه عصبی بصورت منفرد (غیر تفاضلی) طراحی شده‌اند. بنابراین نیاز به ساختار دیگری داریم.



شکل ٦ -٢٠: S&H دیفرانسیل بر اساس ساختار حلقه بسته

مدار تفاضلی که بر اساس مدار ساده حلقه بسته طراحی شده‌است (شکل ٦-٢١) ورودی و خروجی منفرد دارد و می‌تواند انتخاب مناسبی باشد.هنگامی که I_{in} صفر است ولتاژ در گره I_{in} برابر ولتاژ بایاس V_B است. وقتی I_{in} وارد می‌شود I_j به علاوهٔ ۲/ I_{in} از M_1 و I_j منهای ۲/I_{in} از M_2 می‌گذرد که یک ولتاژ دیفرانسیل به اندازه ΔV_i بین ولتاژهای گیت سورس این دو ترانزیستور به

وجود می‌آید. این اختلاف ولتاژ در هنگام بسته بودن S1-1 و S1-2 در فاز نمونه برداری ، به ورودی زوج M_3 و M_4 اعمال می‌شود. M_3 و M_4 در واقع یک مبدل ولتاژ به جریان است که این اختلاف ولتاژ را به جریانهای I_1 و I_2 تبدیل می‌کند. با توجه به نحوه عملکرد مدار داریم:

$$\Delta V_{in}=V_{gs1}-V_{gs2}=\sqrt{\frac{1}{k_n}}\left(\sqrt{2I_e+I_{in}}-\sqrt{2I_e-I_{in}}\right) \qquad (۱۰-٦)$$

$$I_{out}=K\sqrt{\frac{2I_s\Delta V_{in}^2}{K}-\frac{\Delta V_{in}^4}{4}}=I_{in}\sqrt{1+\frac{4}{I_{in}^2}(I_s-I_e)\left\{2I_e-\sqrt{(2I_e)^2-I_{in}^2}\right\}} \qquad (۱۱-٦)$$

اگر $I_e=I_s$ باشد عبارت زیر رادیکال برابر یک می‌شود که نتیجه می‌دهد:

$$I_{out}=I_{in} \qquad (۱۲-٦)$$

وقتی که سوئیچها قطع می‌شوند، ΔV_i روی خازنهای گیت سورس M_1 و M_2 ذخیره می‌شود که باعث می‌شود I_{out} برابر جریان ورودی باشد. تزریق پالس ساعت از سوئیچها، در نتیجه خاصیت حذف مؤلفهٔ مشترک در مبدل ولتاژ جریان حذف می‌شود. همانطور که دیده می‌شود خروجی این مدار بصورت تفاضلی است که برای تبدیل آن به خروجی منفرد کافیست دو جریان Io_1 و Io_2 را از یکدیگر کم کنیم.

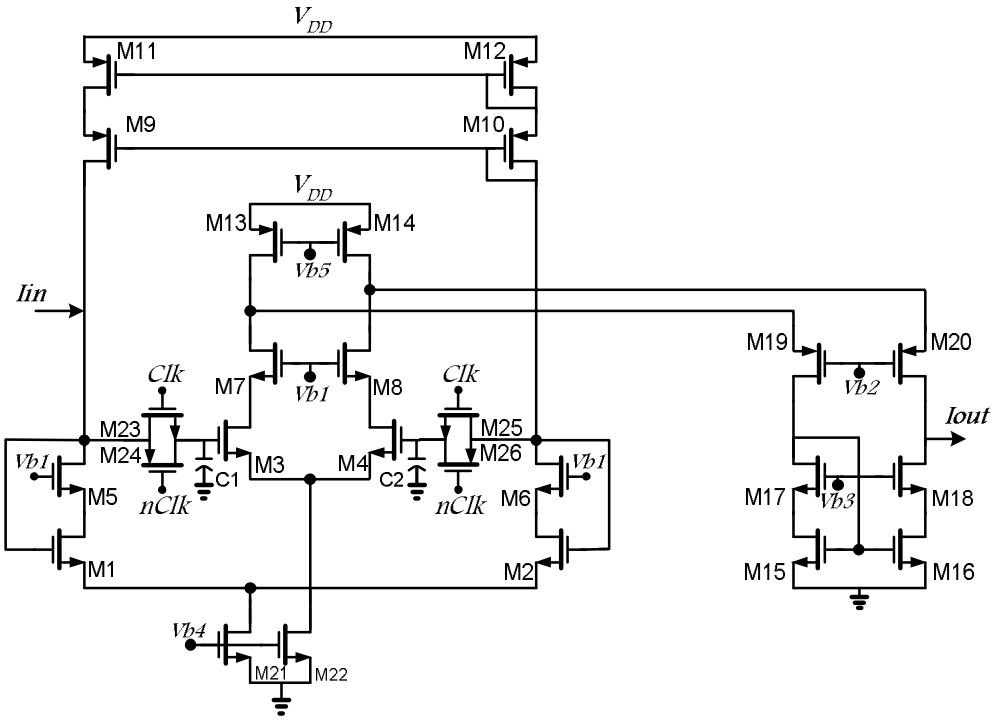
مدار کامل S&H در شکل(٦-۲۲) دیده می‌شود. برای افزایش مقاومت خروجی مبدل ولتاژ به جریان (M_3 و M_4) و ترانزیستورهای M_1 و M_2 از ساختار کسکود استفاده شده است تا مانع تغییر نسبت جریان ورودی و خروجی سیگنال ورودی شویم. ترانزیستورهای M_{13}-M_{20} در واقع یک مدار کسکود تاشده[1] معمولی است که برای کم کردن دو جریان Io_1 و Io_2 در شکل (٦-۲۱) بکار رفته‌است. در مدار S&H هم، دقت آینه‌های جریان (M_9...M_{12}) و مدار کسکود تا شده در دقت تفاضل Io_1 و Io_2 مؤثر است و عدم تطابق بین ترانزیستورهای آینه کننده باعث حذف ناقص

[1] folded cascode

هارمونیهای زوج می‌شود. بهمین دلیل باید در لی‌آوت صحیح برای تطابق ترانزیستورها دقت کرد.

برای سوئیچهای $S_{1\text{-}1}$ و $S_{1\text{-}2}$ از ترکیب CMOS استفاده شده است که خود باعث کاهش تغییر ولتاژ دو سرخازنهای گیت M_3 و M_4 در اثر تقسیم خازنی این سوئیچها می‌شود. بـه ایـن ترتیـب کـه اعمال پالس منفی به NMOS باعث پایین آمدن ولتاژ خازن گیت M_4 می‌شود و اعمال پالس مثبت بـا همان دامنه به PMOS باعث بالا رفتن ولتاژ خازن گیت M_4 به همان اندازه می‌شود، کـه ایـن دو اثـر یکدیگر را حذف می‌کنند. باوجود اینکه تزریق پالس ساعت از طریـق سـوئیچها بـه وسـیله سـاختار مناسب سوئیچها و استفاده از ترکیب تفاضلی برای S&H به طور مؤثری کاهش می‌یابد بـرای حـذف بیشتر تزریق پالس ساعت و افزایش دقت مدار از دو خازن C_1 و C_2 استفاده شده است. مقدار این دو خازن در عملکرد مدار تأثیر زیادی دارد. با افزایش این خازن اثر تزریق پالس ساعت کاهش می‌یابـد، اما در فرکانسهای بالا سرعت مدار کاهش می‌یابد. خازن C_1 و C_2 و مقاومت حالت روشـن سـوئیچها مشخصه فرکانس بالای مدار را مشخص می‌کند.

انتخاب اندازه سوئیچها هم در مقدار تزریق پالس ساعت مهـم اسـت. همـانطور کـه مـی‌دانـیم تزریق پالس ساعت از دو طریق باعث تغییر ولتاژ بار می‌شود. یکی بوسیله تقسـیم ولتـاژ بـین خـازن گیت سورس و خازن بار و دیگری از تخلیه قسمتی از بار کانال سوئیچ در خازن بار است. بـا بـزرگ شدن سوئیچها بار کانال افزایش می‌یابد. همچنین خازن گیت سورس افزایش می‌یابد که هر دو عامـل باغث می‌شوند اثر تزریق پالس ساعت بیشتر شود. از طرفی کوچکتر شدن این سوئیچها باعث افزایش مقاومت حالت روشن آنها می‌شود که همانطور که گفته شـد ایـن مقاومـت بهمـراه خازنهـای ورودی طبقه مبدل ولتاژ به جریان سرعت نمونه‌برداری را مشخص می‌کند. در نهایت با توجه به این مصـالحه اندازه سوئیچها برای رسیدن به سرعت و دقت مورد قبول انتخاب شده‌اند.

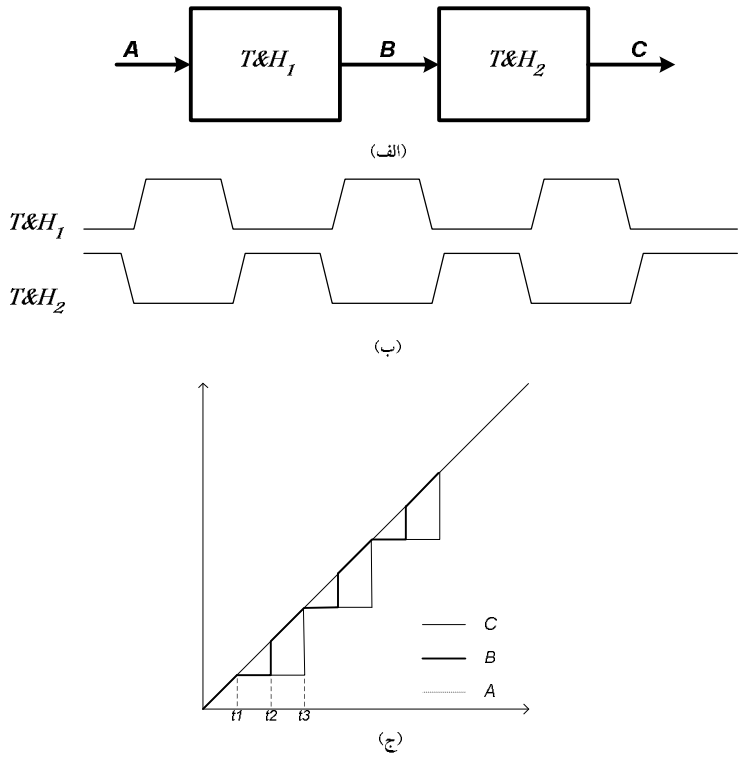


Transistor	*W(μm)*	*L(μm)*	*Transistor*	*W(μm)*	*L(μm)*	*Transistor*	*W(μm)*	*L(μm)*
M1	5	1	M10	30	1	M19	65	1
M2	5	1	M11	30	1	M20	65	1
M3	5	1	M12	30	1	M21	65	1
M4	5	1	M13	65	1	M22	65	1
M5	80	1	M14	65	1	M23	1.6	0.8
M6	80	1	M15	65	1	M24	1.6	0.8
M7	80	1	M16	65	1	M25	1.6	0.8
M8	80	1	M17	65	1	M26	1.6	0.8
M9	30	1	M18	65	1	C1=C2	0.25pF	

شکل ٦ -٢١:مدار T&H استفاده شده

۶-۵-۱)مدار S&H با استفاد ه از T&H

مدار شکل (۶-۲۲) در اصل یک T&H است به این معنی که در فاز نمونـه بـرداری خروجـی دقیقاً ورودی را دنبال می کند و در فاز نگهداری، خروجی برابر ورودی درست درلحظه قبل از اعمال پالس نگهداری، ثابت باقی می ماند. همانطور که در استراتژی تراشه دیدیم بـرای تـأخیر نمونـه‌هـای سیگنال ورودی از S&H استفاده شده است. برای تأخیرهـای ۲ یـا ۳ واحـد زمـانی سـیگنال ورودی نمی‌توان از T&H استفاده کرد؛ زیرا درفاز دنبال کردن[1] خروجی و ورودی یکسانند و تأخیر یافته هـم نیستند. برای رفع این مشکل از S&H استفاده شـده اسـت. در S&H سـیگنال ورودی در لبـه پـایین رونده کلاک نمونه برداری می شود و تا لبه پایین رونده بعدی ثابت می‌ماند

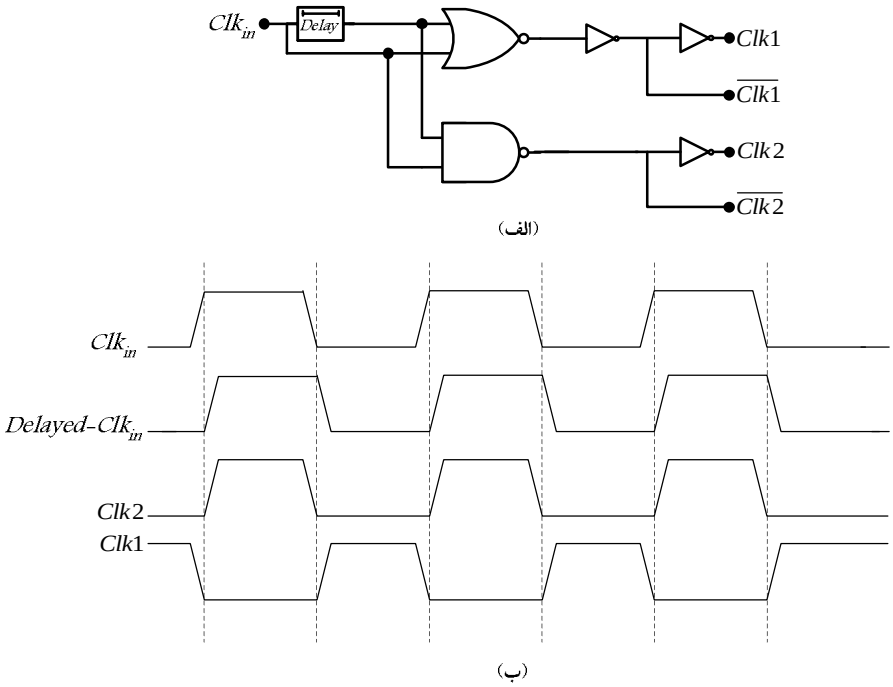


شکل ۶ -۲۲: (الف) پیاده‌سازی S&H با دو T&H، (ب) پالس ساعت اعمال شده به دو T&H، (ج) شکل موج در نقاط مختلف قسمت الف

[1] Tracking

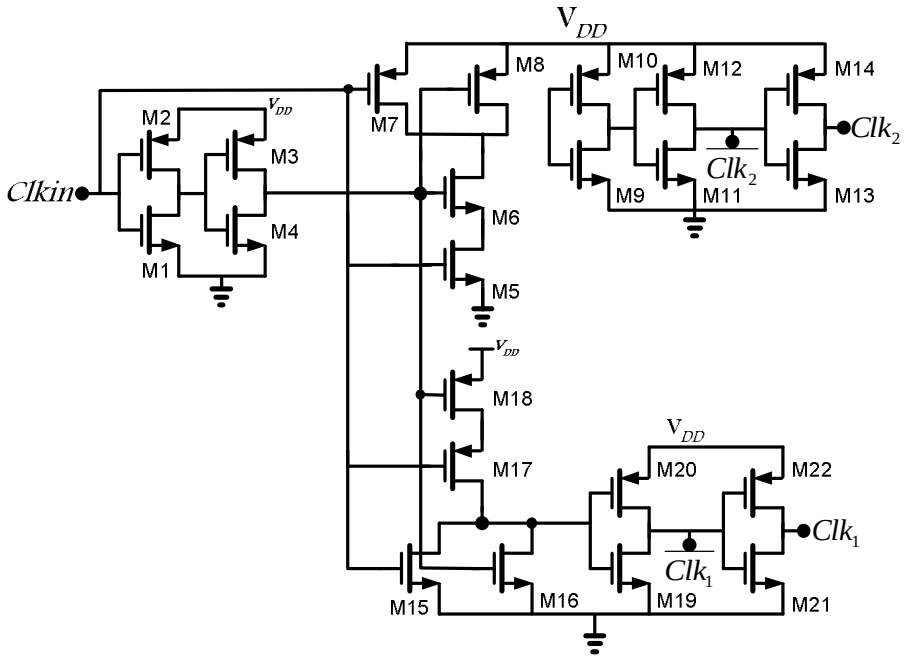
برای ساخت مدار S&H کافیست دو مدار T&H را بصورت سری متصل کنیم. تنها نکته مهم این است که پالس ساعت این دو طبقه باید غیر همپوشان باشد.همانطور که در شکل (٦-٢٣) دیده می شود، در سطح بالای پالس ساعت $T\&H_1$ ورودی را دنبال می کند و $T\&H_2$ در فاز نگهداری است و مقدار خروجی $T\&H_1$ در لحظهٔ t_2 را نگه می دارد، که این مقدار برابر ورودی در لحظهٔ t_1 است. $T\&H_2$ دوم در فاصلهٔ زمانی t_1 و t_2 خروجی T&H اول را دنبال می کند که این T&H در فاز نگهداری است بنابراین خروجی TSH دوم در مرحله دنبال کردن و نگهداری بعد از آن ثابت است وبرابر مقدار ورودی در لحظه t_1 است.

برای ساخت دو کلاک غیرهمپوشان از یک پالس ساعت ازمدار شکل (٦-٢٤) استفاده شده است. ابتدا پالس ساعت را به اندازه نصف زمان مورد نیازبرای غیر همپوشانی دو پالس ساعت تأخیر می دهیم و سپس با AND و NoR کردن پالس ساعت با تأخیر یافته اش دو پالس ساعت غیر همپوشان بدست می آوریم.



شکل ٦ -٢٣:(الف) نمایش منطقی تولید دو کلاک غیر همپوشان (ب) شکل موج در نقاط مختلف قسمت الف

روش پیاده سازی مدار شکل (٦-٢٤) درشکل (٦-٢٥) آمده است. همچنین ورودی و خروجی آن به یک کلاک ٢٠MHz قبل و بعد از لی آوت در حالت بدترین سرعت در شکلهای (٦-٢٦) و (٦-٢٧) دیده می شود. مشاهده می شود که مقدار غیر همپوشانی دو پالس ساعت ٢ns است.

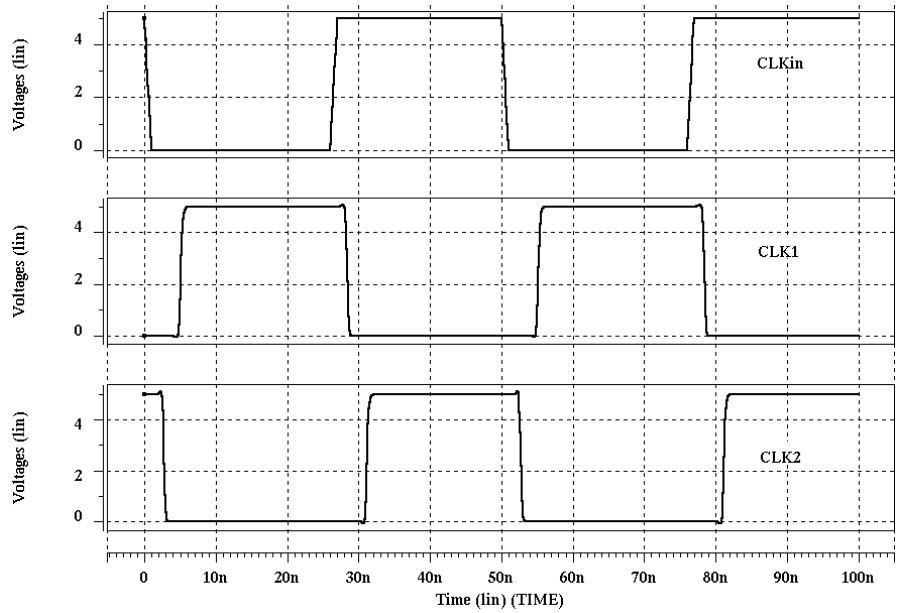


Transistor	W(μm)	L(μm)	Transistor	W(μm)	L(μm)	Transistor	W(μm)	L(μm)
M1	2	1.4	M9	30	1	M17	60	1
M2	6	1.4	M10	90	1	M18	60	1
M3	2	1.4	M11	30	1	M19	30	1
M4	6	1.4	M12	90	1	M20	90	1
M5	20	1	M13	30	1	M21	30	1
M6	20	1	M14	90	1	M22	90	1
M7	15	1	M15	10	1			
M8	15	1	M16	10	1			

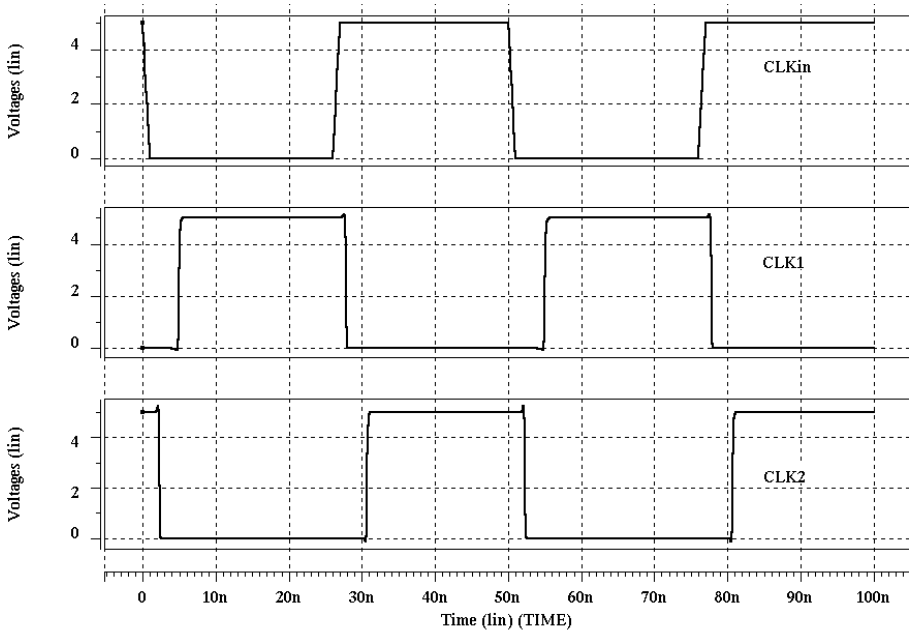
شکل ٦ -٢٤: مدار ساخت دو کلاک غیر همپوشان از یک کلاک ورودی

استراتژی تراشه بگونه ای طراحی شده است که پالس ساعت غیر همپوشان هم قابل اعمال از خارج تراشه است و هم همانطور که دیدیم قابل ساخت از یک پالس ساعت درداخل تراشه است. بلوک دیاگرام شکل (٦-٢٥) چگونگی تحقق این امر را نشان می دهد. با "H" کردن پایه Clk-Ctrl ،

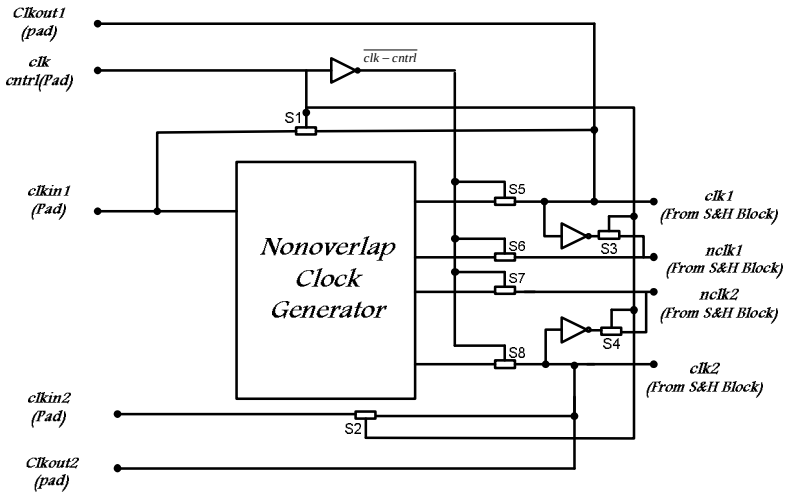
سوئیچهای S_1 و S_2 بسته اند و دو پالس ساعت غیر همپوشان از خارج تراشه اعمال می شود. در صورت 'L' بودن پایه Clk-Ctrl یک پالس ساعت از پایه Clkin وارد می شود و دو پالس ساعت غیرهمپوشان توسط مدار داخلی ساخته شده وبه مدارات S&H ارسال می شود.



شکل ٦ -٢٥: خروجی تولید کننده کلاک غیر همپوشان به کلاک ورودی ۲۰MHz قبل از لی‌آوت در حالت ws



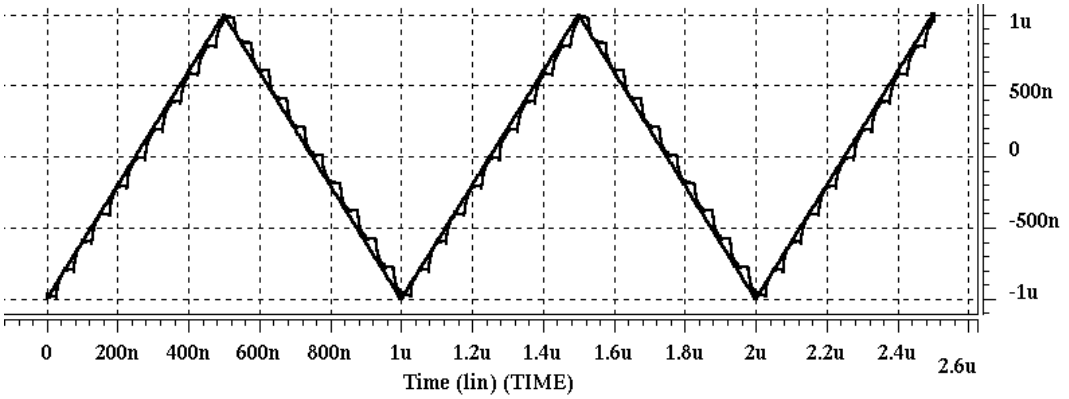
شکل ٦ -٢٦: خروجی تولید کننده کلاک غیر همپوشان به کلاک ورودی ۲۰MHz بعد از لی‌آوت در حالت ws



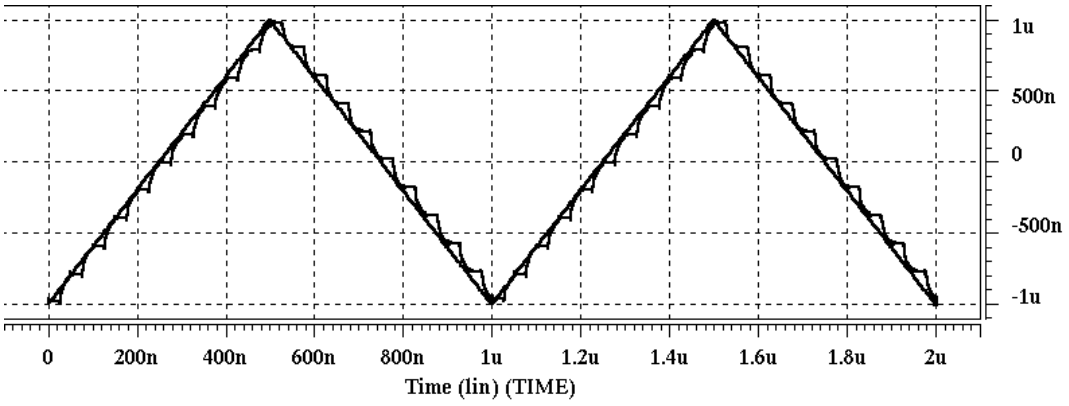
شکل ٦ -۲۷: کنترل داخلی یا خارجی بودن دو پالس ساعت غیر همپوشان

٦-٥-۲)نتایج شبیه‌سازیها و بررسی رفتار T&H قبل و بعد از لی‌آوت

رفتار T&H قبل و بعد از لی‌آوت به ورودی مثلثی با فرکانس ۱MHz و فرکانس کلاک ۲۰MHz در شکلهای زیر دیده می‌شود. دقت T&H در بدترین حالت قبل و بعد از لی‌آوت ۹ بیت است و زمان نشست به ۱LSB قبل از لی‌آوت ۲۱ns و بعد از لی‌آوت ۳۰ns است. که در نهایت عملکرد بعد از لی‌آوت در حد T&H ۹بیت و ۲۰MHz قابل قبول است. توان مصرفی T&H ۹/٦٤mW است.



شکل ٦ -۲۸: پاسخ T&Hبه ورودی مثلثی قبل از لی‌آوت



شکل ٦ -٢٩: پاسخ T&Hبه ورودی مثلثی بعد از لی‌آوت

٦-٦) بلوک بایاس:

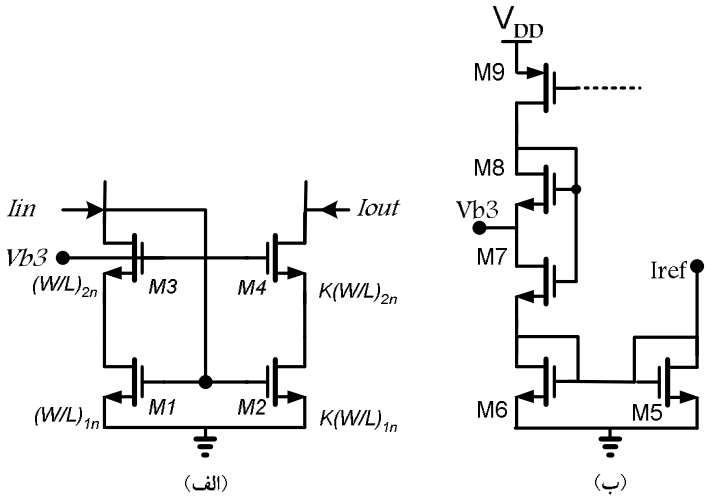
درمدارات بلوکهای مختلف فیلتر شامل S&H و ترارسانا و کپی کننده‌های جریان دیدیم که برای عملکرد صحیح این مدارات، نیاز به بایاس مناسب و صحیح این مدارات داریم بگونه ای که تمام ترانزیستورها در ناحیه فعال خود باشند و برای عملکرد بهینه مدار در تمام محدودهٔ مجاز ورودی ترانزیستورها در ناحیه فعال بمانند. برای ساخت ولتاژ بایاس کلیه مدارات، از بلوک بایاس استفاده شده‌است. یک جریان مرجع وارد تراشه می شود و تمام ولتاژهای بایاس توسط بلوک بایاس ساخته می شوند. این روش این مزیت را دارد که جریان بایاس تمام بلوکها را می توان همزمان به مقیاس[1] کرد و درجریانهای بایاس مختلف عملکرد مدار را بررسی کرد.

[1] Scale

۶-۶-۱) بایاس آینه جریان ولتاژ پایین و شبکه عصبی

در اکثر مدارات طراحی شده آینه جریان کسکود ولتاژ پایین استفاده شده است بهمین دلیل روش بایاس این مدار بررسی می شود. درشکل (۶-۲۶) دیده می شود که V_{B3} باید بگونه ای باشد که M_1 و M_3 هر دو در ناحیه فعال بمانند، بنابراین با نوشتن این دو شرط بدست می‌آید:

$$V_{gs1}+V_{eff} < Vb3 < V_{gs1}+V_{th} \qquad (۶-۱۳)$$

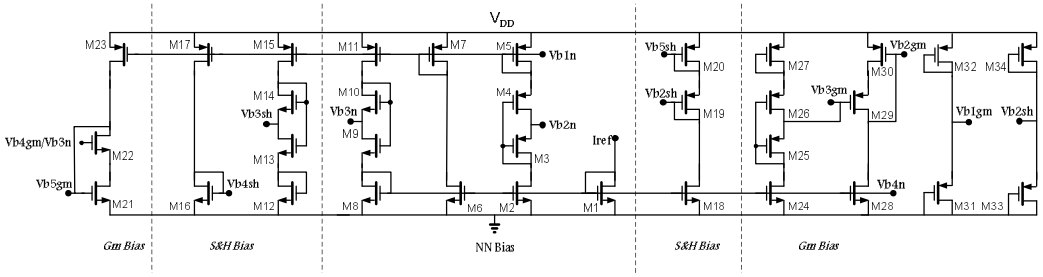


شکل ۶ -۳۰:(الف)آیینه جریان کسکود ولتاژ پایین،(ب) بایاس آن

بنابراین V_{B3} باید به دقت در محدودهٔ مجازش ساخته شود. برای ساخت این ولتاژ بایاس ازمدار (۶-۲۶-ب) استفاده شده است که اندازه ترانزیستورها بگونه ای انتخاب شده اند که V_{B3} در محدودهٔ مورد نظر قرار گیرد. M_8 بزرگتر انتخاب شده است بگونه ای که V_{GS7}-$V_{GS8} \approx V_{eff}$ باشد. در شکل (۶-۲۷) مدار کامل بلوک بایاس دیده می‌شود، که در آن مدارهای بایاس بلوکهای مختلف به طور جدا مشخص شده‌اند.

مسأله بسیارمهم تطابق ترانزیستورهای مدار بایاس و مدارات اصلی است که در لی آوت این مدارات به آنها توجه شده است وتعداد ترانزیستورهای موازی قسمت بایاس و مدار اصلی شبکه

عصبی یکسان است تا جریان مرجع و جریان بایاس شبکه یکسان باشند. گرچه یکسان نبودن جریـان بایاس شبکه و جریان مرجع مشکلی در عملکرد مدارایجاد نمی کند و قابلیت تحمل خطا را دارد.



Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)
M1	10	1	M13	9	1	M25	20	1
M2	10	1	M14	10	1	M26	10	1
M3	200	1	M15	10*4	1	M27	20	1
M4	5	1	M16	65	1	M28	4*9.5	1
M5	40	1	M17	8*4	1	M29	200	1
M6	10	1	M18	10	1	M30	100	1
M7	10*4	1	M19	65	1	M31	2	4
M8	10	1	M20	65	1	M32	2	4
M9	5	1	M21	60	1	M33	2	4
M10	50	1	M22	60	1	M34	2	4
M11	10*4	1	M23	10*8	1			
M12	65	1	M24	10	1			

شکل ٦ -٣١: مدار بایاس تمام بلوکها

٦-٦-٢) بایاس شبکه‌عصبی، ترارسانا و S&H

Vb1n ولتاژ بایاس منبع جریان کسکود بالایی در شکل (٦-٣) است که بسـادگی بوسـیله آینـه کردن جریان مرجع بوسیله M7 ساخته می شود. جریان مرجع و جریان بایاس شبکه عصـبی ۱۰۰µA است. *Vb2n* و *Vb3n* ولتاژ بایاس ترانزیستورهای کسکود در شـکل (٦-٣) هسـتند کـه بروشـی کـه تشریح شد ساخته‌شده‌اند.

جریان منابع جریان بالایی ترارسانا که مجموع جریان بایاس M_1 و M_3 در شکل (٦-١٧) است ٤٠٠μA است. که یک جریان μA٤٠٠ بوسیله M_{30} در M_{18} کپی می شود. در شکل بالا دیده می‌شود که جریان M_{28} چهار برابر جریان M_1 است.جریان منابع جریان پایینی ٢٠٠μA است که بوسیله یک کپی کننده جریان از M_{21} بایاس به M_8 ترارسانا کپی می شود. جریان ٢٠٠μA بوسیله نسبت اندازه های M_{23} و M_7 مدار بایاس ساخته می شود. *Vb3gm* و *Vb4gm* بوسیله روش بایاس آینه جریان ولتاژ پایین ساخته شده اند. *Vb1gm* تقریباً ٢/٥V است که بوسیله تقسیم مقاومتی ساخته شده است. جریان منابع جریان پایینی ١٠٠μA S&H است که به سادگی با کپی کردن جریان مرجع قابل ساخت است. بقیه ولتاژها هم بگونه ای انتخاب شده اند که تمام آینه های جریان ولتاژ پایین درست بایاس شوند. *Vb1sh* هم بوسیله یک تقسیم مقاومتی برابر تقریباً ٢/٥V انتخاب شده است.

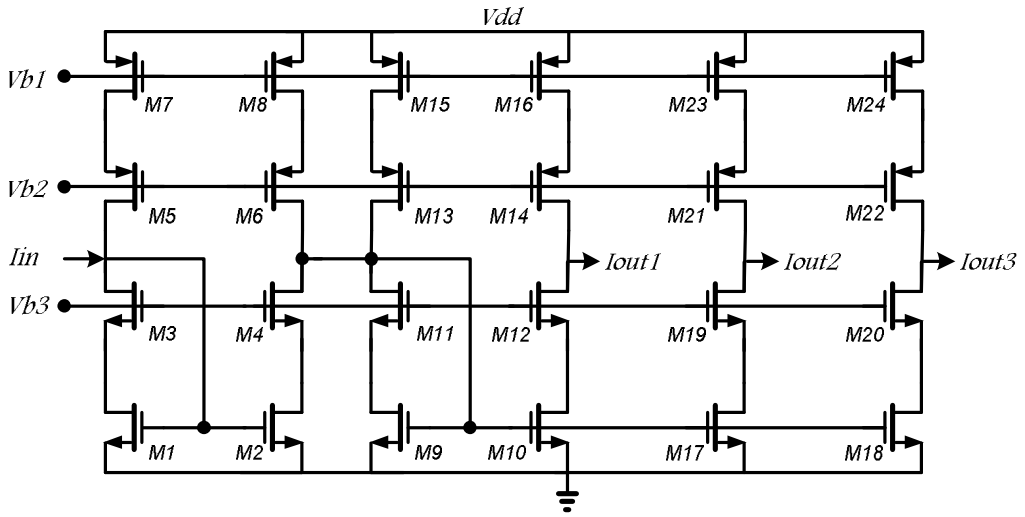
٦-٦-٣) بررسی رفتار بلوک بایاس قبل و پس از لی آوت

مشخصات تمام بلوکهای شبکه عصبی و ترارسانا و S&H که تاکنون دیده ایم همراه با مدار بایاس آنها بوده است. رفتار پس از لی آوت بلوکهای مختلف هم با نت لیت پس از لی آوت بلوک دیجیتال در حالتهای معمولی و کمترین سرعت و بیشترین سرعت شبیه‌سازی شده‌اند که صحت عملکرد این مدارات در تمام حالات بیانگر درست بایاس شدن آنها در تمام حالات و در نهایت صحت عملکرد بلوک بایاس است. در تمام شبیه سازیهای پس از لی آوت جریانهای بایاس ترانزیستورها تقریباً برابر مقدار طراحی شده بوده است.

٦-٧) کپی کننده جریان

در بسیاری از قسمتهای تراشه نیاز به ۲ یا ۳ کپی از یک سیگنال داریم. زیرا خروجی یک بلوک یا مدار ممکن است به چندین مدار دیگر وارد شود. همچنین برای تست مدارهای مختلف، نیاز به یک کپی از سیگنال خروجی آنها درخارج تراشه داریم. بعنوان مثال خروجی یک S&H هم باید به S&H بعدی برود هم به یکی از ورودیهای شبکه عصبی و هم برای تست به خارج تراشه منتقل شود.

برای کپی کردن جریان از کپی کننده جریان استفاده شده است که درواقع یک ضرب کننده جریان با ضریب ۱+ است که قبلاً بحث شد. این مدار برای کپی کردن ۳ نمونه از جریان ورودی در شکل ( ) دیده می شود. برای ۲ کپی از ورودی، یکی از طبقات کپی کننده حذف می شود.



Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)	Transistor	W(µm)	L(µm)
M1	10*1.5	1	M9	10*1.5	1	M17	10*1.5	1
M2	10*1.5	1	M10	10*1.5	1	M18	10*1.5	1
M3	10*1.5	1	M11	10*1.5	1	M19	10*1.5	1
M4	10*1.5	1	M12	10*1.5	1	M20	10*1.5	1
M5	10*1.5	1	M13	10*1.5	1	M21	10*1.5	1
M6	10*1.5	1	M14	10*1.5	1	M22	10*1.5	1
M7	10*4	1	M15	10*4	1	M23	10*4	1
M8	10*4	1	M16	10*4	1	M24	10*4	1

شکل ٦ -۳۲: کپی کننده جریان با سه خروجی

۷ ملاحظات لی‌آوت

۷-۱) مقدمه

پس از طراحی یک مدار و انجام شبیه سازیهای مختلف برای اطمینان از صحت عملکرد مدار در شرایط گوناگون و با وجود انحرافات ممکن در پروسه ساخت، نوبت به آماده کردن مدار برای ساخت می‌شود. برای این منظور باید نمایش فیزیکی مدار آماده شود. در این مرحله طراح باید ساختار هندسی ماسکهای متعددی که به هنگام ساخت IC مورد استفاده قرار می‌گیرد را مشخص نماید. این عمل با عنوان لی‌آوت شناخته شده و با استفاده از یک کامپیوتر و برنامه CAD های ویژه‌ای صورت می‌گیرد به عنوان مثال از CAD های Ledit و Cadance می‌توان نام برد. پس از انجام لی‌آوت، مدار معادل لی‌آوت ترسیم شده استخراج می‌شود این کاملا مشابه نت لیست مدار قبل از لی‌آوت است با این تفاوت که المانهای پارازیت به آن اضافه شده‌اند. همچنین ابعاد ترانزیستورها

دقیقا متناسب با نحوه لی‌آوت و اندازه آنها در لی‌آوت استخراج می‌شوند. خازنهای پارازیت هم بین نقاط مختلف مدار و زمین یا V_{DD} وجود دارند.

به عبارت دیگر مدار استخراج شده از لی‌آوت تمام عناصر الکتریکی را که مدل کننده لی‌آوت مدار هستند شامل می‌شود و با دقت خوبی بیانگر رفتار مدار پس از ساخته شدن می‌باشد. لی‌آوت مناسب یک مدار آنالوگ اهمیت خاصی دارد و در رفتار مدار از نظر سرعت و پاسخ فرکانسی و... تأثیر دارد. در لی‌آوت مدارات آنالوگ اساسا به بهینه کردن لی‌آوت ترانزیستورها توجه می‌گردد. از معیارهای لی‌آوت خوب در مدارهای آنالوگ، دقت و مصونیت در برابر نویز، تطابق بین ترانزیستورها و... می‌باشد. هنگامی که مدارات آنالوگ و دیجیتال بر روی یک تراشه مجتمع می‌شوند مسائل و مشکلات بیشتری بروز می‌نماید. نویز سوئیچینگ تولید شده توسط مدار دیجیتال ممکن است به وسیله خازنهای تزویج به داخل مدار آنالوگ وارد شود و عملکردهای کلی مدار آنالوگ را مختل نماید. بنابراین کنترل مسیرهای اتصال حاوی نویز، در مدارات مختلط[1] حائز اهمیت است که در طرح لی‌آوت باید به آن توجه شود.

همانطور که در استراتژی چیپ دیدیم، فیلتر طراحی شده دارای بلوکهای آنالوگ و دیجیتال است. قسمت دیجیتال حالتهای سوئیچهای آنالوگ برای وزنهای گسسته را نگهداری می‌کند. این قسمت تنها در حالت آموزش شبکه عصبی تغییر می‌کند و پالس کلاک به آن اعمال می‌شود. پس از آموزش شبکه پالس کلاک قطع می‌شود و قسمت دیجیتال بدون تغییر باقی می‌ماند. بنابراین نگران مسائل مربوط به مدارات مختلط و مخصوصا لی‌آوت آنها برای جلوگیری از ورود نویز قسمت دیجیتال به قسمت آنالوگ نیستیم. همچنین در مرحله آموزش شبکه زمانی که ورودیهای آنالوگ به شبکه عصبی

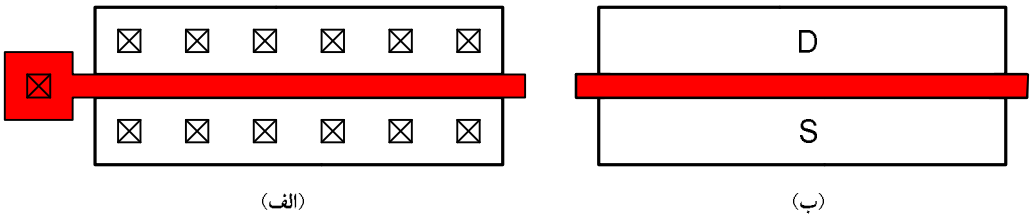
[1] Mixed

وارد می‌شوند و خروجی آن اندازه گیری می‌شود، قسمت دیجیتال بدون تغییر و بدون پالس ساعت است. بنابراین در حالت آموزش شبکه هم مشکلی وجود ندارد.

در این قسمت مرور مختصری بر لی‌آوت مدارات آنالوگ خواهیم داشت مخصوصا مواردی مانند تقارن و تطابق که در مدارات ما اهمیت خاصی دارند.

۲-۷) لی‌آوت ترانزیستور MOS [32]

چنانچه گفته شد لی‌آوت یک مدار مجتمع ابعاد هندسی ماسکهای مورد استفاده برای ساخت تراشه را تعریف می‌نماید. این ساختارهای هندسی در یک فرآیند معمولی CMOS شامل نواحی n-well ، اکسید گیت، پلی سیلیکن، سورس، درین، کاشت یونی n^+ و p^+، پنجره‌های کنتاکت داخلی و لایه‌های فلزی برای اتصال می‌باشد.

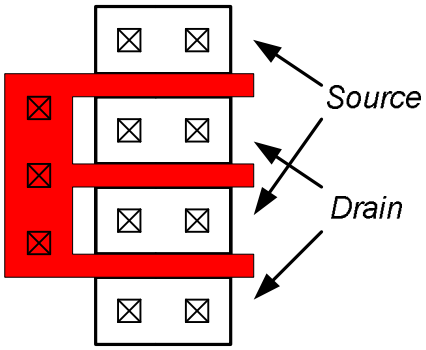


شکل ۷ -۱:لی‌آوت یک ترانزیستور MOS

شکل (۷-۱-الف) لی‌آوت مربوط به یک ترانزیستور MOS با سطح حداقل را نشان می‌دهد. قسمت اصلی این لی‌آوت از تلاقی دو مربع مستطیل ایجاد می‌شود که یکی مربوط به دیفیوژن و دیگری مربوط به Poly است. دو ناحیه جدا از هم که به وسیله poly تعریف می‌شوند همان نواحی دیفیوژن درین و سورس هستند. بسته به نوع تکنولوژی استفاده شده، دیفیوژن داخل یا خارج well قرار دارد، تا بدین ترتیب ترانزیستورهای کانال n یا کانال p ساخته شوند. درپروسه مورد استفادهٔ ما

ویفر نوع p است بنابراین از چاههای n برای ساخت ترانزیستورهای PMOS استفاده می‌شود. انـدازه کنتاکت‌ها و نیز همپوشانی آنها با ساختارهای زیرین و همچنین همپوشـانی فلـز باکنتاکتهـای متنـاظر، توسط قواعد طراحی مشخص می‌شوند.

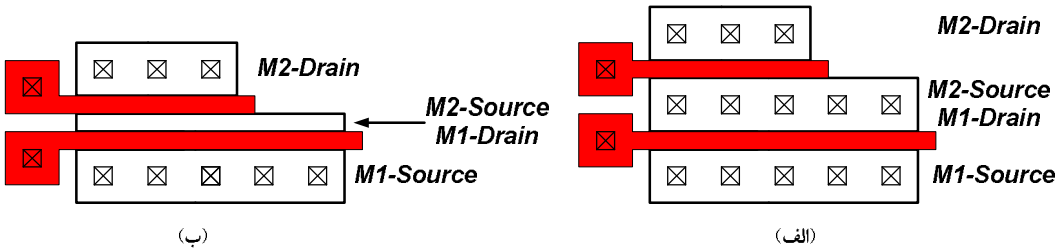
در بسیاری موارد، مخصوصا هنگامی که نسبت W/L خیلی بزرگ باشد، لی‌آوت ترانزیستور را به صورت اتصال موازی n ترانزیستور با عرض کمتر در نظـر مـی‌گیرنـد. شـکل (۷-۲) لـی‌آوت سـه ترانزیستور بصورت موازی را نشان میدهد.



شکل ۷ -۲: لی‌آوت سه ترانزیستور بروش موازی

استفاده از این روش مخصوصا برای لی‌آوت ترانزیستورهایی که نسـبت بـین W/L آنهـا مهـم است، بسیار حیاتی است. به عنوان مثال در آیینه‌های جریان یا ضرب کننده جریـان کـه نسـبت W/L ترانزیستورهای دو طرف k:۱ است درصورتی کـه از ترانزیسـتورهای بـا انـدازه‌هـای W/L و KW/L استفاده شود نسبت جریانهای دو طرف k نمی‌باشد که این مسأله به دلیل اثراتـی چـون اثـر کانالهـای عریض که باعث تغییر ولتاژ آستانه می‌شود و اثرات پارازیت و فیزیکی دیگر می‌باشـد. بـا اسـتفاده از ترانزیستورهای با اندازه W/L و موازی کردن k تا از آنها به جای یک ترانزیستور با اندازه KW/L این مشکلات برطرف می‌شود.

یکی دیگر از امتیازات تقسیم ترانزیستور به اجزاء کوچکتر، کاهش اثـر پارازیتیـک مربـوط بـه خازن پیوند دیفیوژن بدنه در حالت بایاس معکـوس اسـت. بـرای یـک ترانزیسـتور تنهـا، خازنهـای پارازیت C_{sb} و C_{db} متناسب با پهنای W می‌باشند. در صورتی که در ترانزیستور شکسته شده به علت استفاده مشترک دو ترانزیستور از یک دیفیـوژن سـورس یـا دریـن، خازنهـای C_{sb} و C_{db} بـا ضـریب (n+1)/2n برای n های فرد کاهش می‌یابد. همچنین برای n هـای زوج C_{sb} بـا ضـریب ۵/. و C_{sd} بـا ضریب (n+2)/2n کاهش می‌یابد . کـاهش خازنهـای پارازیـت و روشـهای کـاهش آنهـا در مـدارات فرکانس بالا کاربردهای زیادی و اهمیت خاصی دارد. در مـدارات فیلتـر طراحـی شـده ، ایـن مسـأله دربعضی از گره‌ها بسیار مهم است. مثلا گره خروجی ضرب کننده‌ها باید خازن کمی داشته باشد زیرا سرعت مدار به آن ارتباط دارد. همچنین در گره ورودی طبق خروجی، ٤٠ ضرب کننده، خروجی آنها به هم متصل می‌شود که خازن خروجی آنها با هم جمع می‌شود.



شکل ۷ -۳: لی‌آوت ترانزیستورهای کسکود (الف) با کنتاکت گیت (ب) بدون کنتاکت گیت

دراین گره حساس، برای کاهش خازنهای پارازیتیک می‌توان از سورس و دریـن‌هـای مشـترک در لی‌آوت ترانزیستورهای Cascode استفاده کرد. همانطور که در شکل (۷-۳-الف) نشان داده شـده است درین M_1 و سورس M_2 را می‌توان در یک پیوند به اشـتراک درآورد. مهمتـر اینکـه چـون ایـن پیوند به گره دیگری متصل نمی‌شود ، نیازی به پنجره کنتاکت نداشته و می‌توان آن را کـوچکتر نمـود (شکل ۷-۳-ب) در نتیجه ظرفیت خازنی درین M_1 به طور ذاتی کاهش یافتـه کـه ایـن امـر موجـب

بهبود سرعت مدار می‌شود. در مورد ترانزیستورهای با W زیاد، هر ترانزیستور ممکن است از دو یا چند شاخه استفاده نماید.

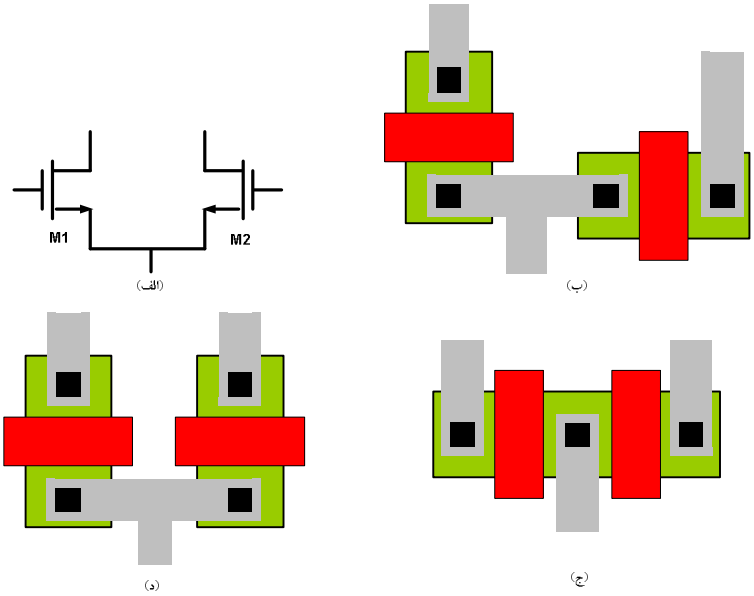
۷-۲-۱) روش مناسب لی‌آوت برای ترانزیستورهای مطابق [33]

هنگام ساخت مدارهای مجتمع با استفاده از تکنیکهای لیتوگرافی، وجود بعضی اثرات جانبی در فرآیند موجب می‌شودکه اندازه‌های مؤثر المانها با اندازه‌های تعریف شده توسط ماسکهای لی‌آوت متفاوت باشد. بنابراین اندازه‌های دقیق المانهای میکروالکترونیک را به ندرت می‌توان تعیین کرد. این عدم دقت حتی نسبت بین اندازه‌ها یعنی تقارن یا تطابق را نیز تحت تأثیر قرار می‌دهد. برای رفع این خطاها روشهای متعددی وجود دارد که در تمام آنها از خاصیت تقسیم المانهای بزرگتر به اجزاء واحد استفاده شده است. همچنین برای دستیابی به حداکثر دقت و ایجاد شرایط مرزی یکسان برای تمام المانها، لازم است که عناصر کمکی[1] بدون استفاده‌ای به لی‌آوت اضافه نمود. همانطور که قبلا اشاره شد و دیدیم در اکثر بلوکهای سازنده فیلتر تطابق بین برخی از ترانزیستورهای اهمیت زیادی داشتند . در ضرب کننده‌های جریان عدم تطابق باعث به وجود آمدن افست در خروجی ضرب کننده می‌شود که ممکن است مجموع افستهای ضرب کننده‌های مختلف باعث اشباع طبقه خروجی شود. درمبدل ولتاژ به جریان و S&H نیز تطابق بین برخی از ترانزیستورها، برای عملکرد صحیح مدارها و دقت خروجی لازم است. بنابراین توجه کافی و دقت در لی‌آوت ترانزیستورهای مطابق برای عملکرد صحیح مدار پس از ساخت اهمیت زیادی دارد. علاوه بر افست، تقارن همچنین موجب حذف اثر نویز حالت مشترک و اثرات غیرخطی درجات زوج می‌گردد. باید توجه داشت که تقارن باید به طور

[1] Dummy

همزمان به المانهای مورد نظر و محیط اطراف آنها اعمال گردد؛ زیرا بسیاری از مراحل لیتوگرافی و پردازش ویفر، در محورهای مختلف، عملکرد متفاوتی از خود نشان می‌دهند.

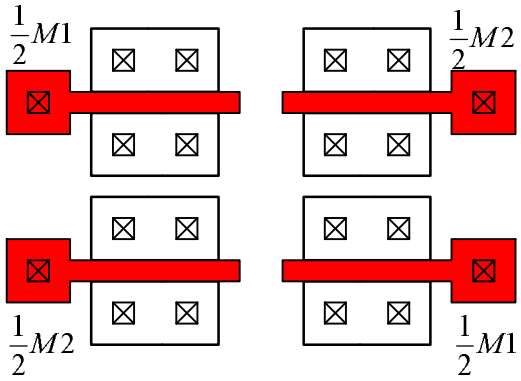
به عنوان مثال زوج دیفرانسیلی نشان داده شده در شکل (۷-٤-الف) را به صورت ترکیبات مختلف می‌توان لی‌آوت کرد. اگر دو ترانزیستور مانند شکل (۷-٤-ب) با جهتهای متفاوت لی‌آوت شوند، از آنجایی که بسیاری از مراحل لیتوگرافی و پردازش ویفر در محورهای مخلتف عملکرد متفاوتی را از خود نشان می‌دهند، به تطابق خوبی نمی‌رسیم. انتخاب بین شکل (۷-٤-الف) و (۷-٤-ب) با توجه به اثر سایه گذاری گیت انجام می‌شود. برای جلوگیری از پدیده کانال زدن، کاشت یونی تحت زاویه ۷ درجه انجام می‌شود که این امر موجب می‌شود که یک نوار باریک در ناحیه سورس یا درین، کاشت کمتری دریافت کند و در نتیجه عدم تقارن کوچکی در نواحی دیفیوژن سورس و درین ایجاد می‌شود.



شکل ۷ -٤:زوج دیفرانسیلی، (ب) لی‌آوت M1 و M2 با جهتهای مختلف، (ج) لی‌آوت با گیتهای در امتداد یکدیگر، (د) لی‌آوت با گیتهای موازی

در شکل (۷-٤-د) اثر سایه گذاری عدم تقارن ایجاد نمی‌کند اما در شکل ۷-٤-ج ترانزیستورها وضعیت سایه گذاری یکسانی ندارند. بعنوان نمونه دریـن‌هـای M_1 و M_2 ساختارهای متفاوتی رادر سمت چپ خود می‌بینند. به عبارت دیگر، محیط اطراف M_1 با M_2 یکسان نیست. برای رفع این شکل می‌توان از ترانزیستورهای کمکی در دو طرف ساختار به گونه‌ای کـه M_1 و M_2 تقریبا محیط یکسانی را در اطراف خود ببینند، استفاده کرد. برای جلوگیری از عدم تطابق ناشی از وابستگی خوردگی[1] گیتهای پلی سیلیکن به شرایط مرزی نیز می‌توان از عناصر کمکی بهره برد. علاوه بر تقارن ترانزیستورها شرایط محیطی اطراف آنها هم باید در دو طرف محور تقارن، یکسان باشد. به عنوان مثال در صورتی که یک خط فلزی از روی تنها یکی از ترانزیستورها عبور نموده، می‌توان مسیر مشابهی را عینا در طرف دیگر ایجاد کرد؛ حتی اگر مسیر تکرار شده به صورت شناور[2] قرار گیرد.

ایجاد تقارن در مورد ترانزیستورهای بزرگ مشکل‌تر می‌شود. زیرا تغییر شرایط در طول محور x منجر به ایجاد عدم تطابق قابل ملاحظه‌ای می‌گردد. باید توجه داشت کـه شـرایط ویفـر در تمـام سـطح آن یکسان نیست. برای کاهش خطا می‌توان از روش لی‌آوت هم مرکز استفاده کرد (شکل ۷-۵)، بگونه‌ای که اثر گرادیان مرتبه اول در طول هر دو محور حذف شود.

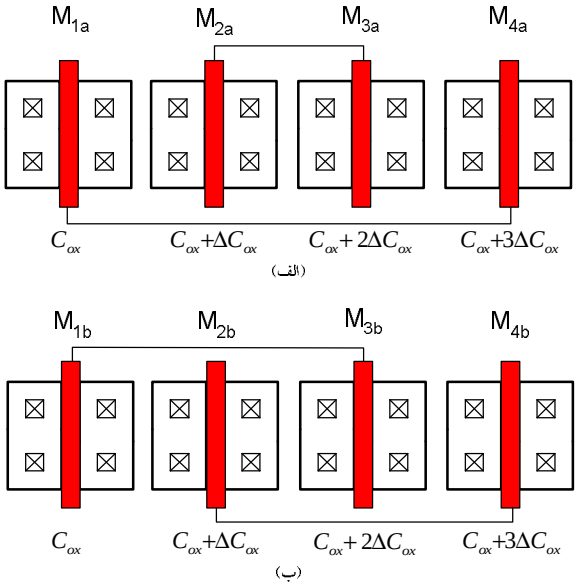


شکل ۷ -۵: لی‌آوت بصورت هم‌مرکز

[1] etching
[2] Float

در این روش هر ترانزیستور به دو نیمه که از نظر قطری در امتداد یکدیگر قرار داده شـده‌انـد شکسته می‌شود و به صورت موازی این دو نیمه به یکدیگر متصل می‌شوند. یک عیب این روش این است که مسیر دهی اتصالات در این روش مشکل است و اغلب موجب بروز عدم تقارن اتصالات در اطراف ترانزیستورها می‌شود یا تقارن خازنهای مسیرها و زمین در دو مسیر یکسان نیست.

اثر گرادیان خطی را می‌توان با استفاده از تزویج یک بعدی (شکل) حذف نمود. در اینجا تمام چهار ترانزیستور موجود در طول یک محور قرار داده شده‌اند. M_1 و M_2 را می‌توان با اتصال المانهای نزدیک و دور به یکدیگر (شکل ()) یا اتصال المانها به صورت یک در میان (شکل) تشـکیل داد. در این شکل برای وضوح اتصال بین نواحی سورس و درین نشان داده نشده است.



شکل ۷ -٦: تزویج یک بعدی

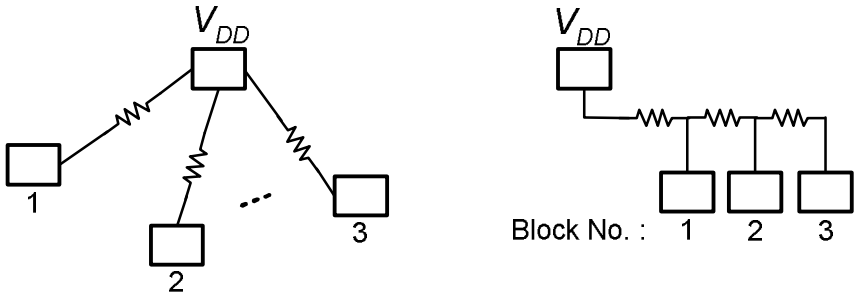
۷-۳) ملاحظات مربوط به نحوه اتصالات در لی‌آوت

پروسه استفاده شده دارای ۲ لایه فلز برای اتصالات می‌باشد. در هنگام لی‌آوت مدارات بسـیار دقیق و یا خیلی سریع باید نکاتی را در رابطه با تأثیر این اتصالات و نحوه صحیح مسـیریابی آنهـا در

نظر گرفته شود. مثلا در سیستمهای مختلط سیگنال پالس ساعت برای رسیدن به بلوکهای مختلف باید از مسیرهای طولانی عبور نماید و در این راه ظرفیت خازن قابل ملاحظه‌ای را خواهد دید. ازهمه مهمتر کوپلاژ خازنی بین خطوط باعث انتقال سیگنال بین آنها می‌گردد. برای کاهش همشنوایی دو روش وجود دارد. یکی استفاده از سیگنال تفاضلی است. به عنوان مثال در فیلتر طراحی شده پالسهای کلاک مورد نیاز مدار S&H به صورت CLK و $\overline{CLK}$ است و در لی‌آوت، این دو مسیر همراه و نزدیک یکدیگر هستند که اثر یکدیگر بر روی اتصالات دیگر بوسیله کوپلاژ خازنی را خنثی می‌کنند. روش دوم، شیلد کردن سیگنالهای حساس در لی‌آوت می‌باشد. یک راه برای انجام این کار، استفاده از خطوط زمین در دو طرف سیگنال مورد نظر است. روش دیگر افزایش فاصله بین مسیرهای نویزی و مسیرهای مهم است. مساله مهم دیگری که در لی‌آوت باید مورد توجه قرار گیرد، نویز بدنه مخصوصا در مدارات مختلط است. بیشتر تکنولوژیهای CMOS امروزی برای به حداقل رسانیدن حساسیت به Latch-up از یک بدنه نوع p^+ با چگالی ناخالصی زیاد استفاده می‌کنند. در عین حال، به دلیل مقاومت سطحی کم بدنه، مسیرهای ناخواسته‌ای بین اجزاء مختلف مدار به وجود می‌آید که موجب خرابی سیگنالهای حساس می‌گردد. برای کاهش اثرات کوپلاژ بدنه یا نویز بدنه تدابیر مختلفی اندیشیده شده‌اند. به عنوان مثال، استفاده از عملکرد دیفرانسیلی در قسمتهای مختلف مدار، توزیع سیگنالهای دیجیتال و کلاکها به صورت مکمل در مدار، استفاده از حلقه‌های محافظ و... همگی برای کاهش نویز بدنه هستند. همچنین اتصالات منبع تغذیه مدارات آنالوگ و دیجیتال جدا از یکدیگر هستند. در حالت ایده آل این دو منبع تغذیه را با استفاده از دو پایه I/O مجزا و تنها در خارج تراشه به هم متصل می‌کنند. در مواردی که از یک پایه I/O برای منبع تغذیه استفاده می‌شود، می‌توان آن را توسط دو سیم رابط مختلف به دو pad جداگانه مورد استفاده قرار گرفته برای تغذیه مدارات دیجیتال و آنالوگ، متصل نمود.

در فیلتر طرح شده همانطور که گفته شد قسمت دیجیتال در زمان عملکرد قسمت آنالوگ فعال نیست، بنابراین نویز قسمت دیجیتال ایجاد مزاحمت نمی‌کند. با این حال زمین قسمت دیجیتال و آنالوگ در بیرون تراشه بهم متصل می‌شوند.

مسأله مهم دیگر توزیع مناسب منابع تغذیه در بین بلوکهای مختلف است. به دلیل مقاومت اتصالات تغذیه و وجود بلوکهای متعدد و فاصله آنها از یکدیگر، خطوط تغذیه به صورت ستاره‌ای (شکل۸-۷-ب) توزیع شده‌اند تا از افت ولتاژ و همچنین انتقال نویز بلوکهای مختلف از طریق خطوط تغذیه به یکدیگر جلوگیری شود.



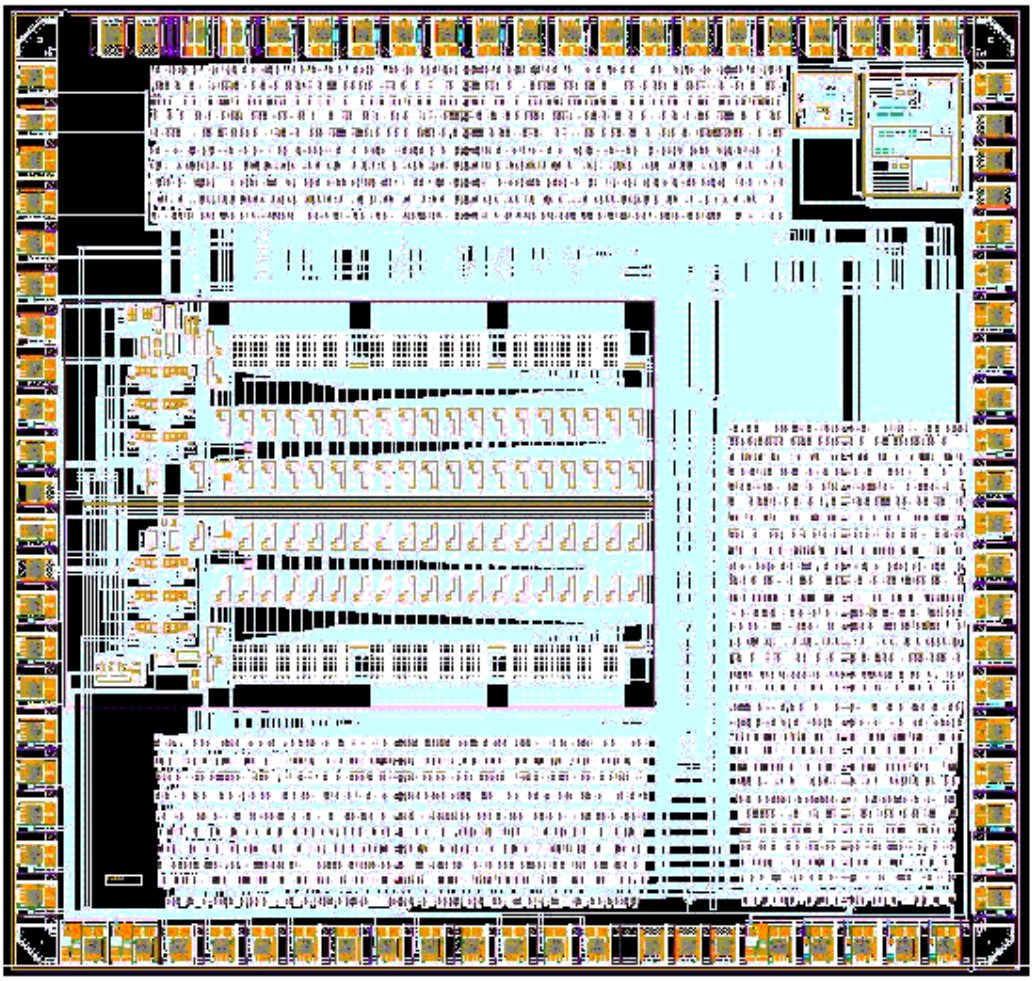
(ب) (الف)

شکل ۷ -۷: روش توزیع منابع تغذیه: (الف) بصورت سری، (ب) بصورت ستاره‌ای

۷-٤) لی‌آوت تراشه

یکی از مهمترین قسمت های ترسیم لی‌اوت تراشه، تصمیم گیری در مورد نحوه قرار دادن بلوکهای مختلف تراشه در کنار یکدیگر می‌باشد یک طراح خوب باید قادر باشد که بلوکهای مخلتف تراشه را به گونه‌ای در کنار یکدیگر قرار دهد به نحوی که سطح اشغالی تراشه بسیار کوچک باشد در عین حال لی‌اوت کاملاً مرتب و منظم باشد.

چیدن بلوک ها عبارتست از نقشه ای که چگونگی تقسیم کل لی‌اوت به بلوکهای کوچک تر و چگونگی قرار گرفتن این بلوکهای کوچک تـر در کنـار یکـدیگر را بیـان مـی‌کنـد. در شـکل (۸-۸) لی‌آوت کل تراشه نشـان داده شـده اسـت. همچنـین لـی‌آوت تـک تـک بلوکهـا در ضـمیمه ۲ آورده شده‌است. این لی‌آوت با نرم‌افزار Cadence انجام شده‌است. در انجام این لی‌آوت کلیه اصول مربـوط به لی‌آوت ترانزیستورهای مطابق، توزیع منابع تغذیه و سیگنالهای حساس مانند پالس کلاک مدارهای S&H به دقت رعایت شده‌است.



شکل ۷ -۸: تصویر لی‌آوت تراشه

۸ تست تراشه و نتیجه‌گیری

۸-۱) مقدمه

تراشه فیلتر طراحی شده پس از لی‌آوت و انجام شبیه سازی پس از لی‌آوت و اطمینـان از عملکـرد صحیح آن، ساخته شده است .package تراشه از نوع ClCC است کـه خازنهـای پـد آن بسـیار کوچـک است و به منظور تست تراشه استفاده از آن ساده و مناسب است . تراشه طراحی شده در مجموع ٤٢ پایه ورودی و خروجی و تست دارد که نوع پدهای استفاده شده برای هر یک در ضمیمه ۳ دیده می‌شود. سطح تراشه پس از ساخت $۳۰mm^2$ شده است که یکی از دلایل بزرگ شـدن آن موجـود بـودن تنهـا دو لایه متال جهت اتصالات در پروسه مورد استفاده است که باعث می شود قسمت زیادی از سـطح تراشـه بوسیله اتصالات اشغال شود

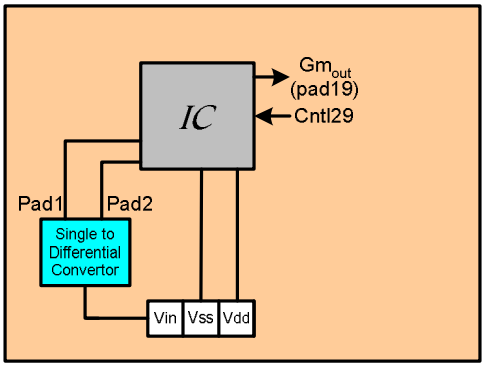
در این فصل روش تست و نتایج بدست آمده از بلوکهای مختلف تراشه که در شکل (٤-٣) دیده می‌شوند بررسی می شود و در نهایت نتیجه گیری و پیشنهادات برای ادامه این پروژه ارائه می‌گردد .

۸-۲) تست و مشخصه نگاری ترارسانا

در این قسمت ابتدا برد تست و روش تست آن تشریح می‌شود و سپس نتایج حاصل از تست ارائه می‌گردد.

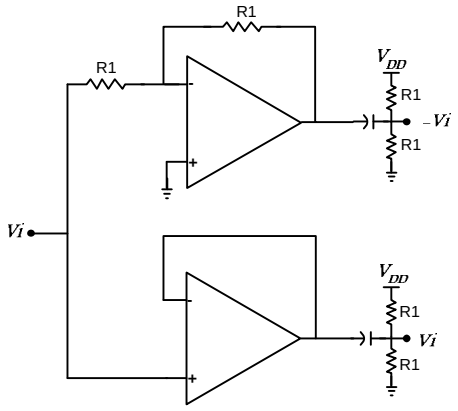
۸-۲-۱) برد تست ترارسانا

بلوک دیاگرام برد تست ترارسانا در شکل (۸-۱) دیده می شود . برای تست ترارسانا باید پایه کنترلی Cntl29 زمین شود تا ترارسانا بایپس نشود. ورودی دیفرانسیل با ولتاژ حالت مشترک ۱V به Pad1 و Pad2 اعمال می‌شود و خروجی از Pad19 اندازه گیری می شود.



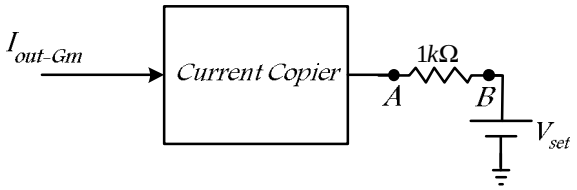
شکل ۸-۱: بلوک دیاگرام برد تست ترارسانا

برای ساخت ورودی دیفرانسیل از خروجی منفرد اسیلاتور و اعمال آن به دو ورودی مدار ترارسانا از مدار شکل(۸-۲) استفاده شده است .



شکل ۸ -۲: مدار استفاده شده برای ساخت ورودی تفاضلی به ترارسانا

همانطور که در شکل (٤-۳) دیده می شود خروجی ترارسانا بوسیله کپی کننده جریان در دسترس است،با توجه به مدار کپی کننده جریان برای اندازه‌گیری جریان از مدار ساده زیر استفاده شده است . که با خواندن اختلاف ولتاژ نقطات A و B در واقع ولتاژ دو سر مقاومت و در نتیجه جریان آن خوانده می شود .



شکل ۸ -۳: روش اندازه‌گیری خروجی ترارسانا

۸-۲-۲) نتایج اندازه گیری

برای اندازه گیری THD ترارسانا یک موج سینوسی به آن می دهیم و طیف خروجی را با اسپکتروم آنالایزر می بینیم و هارمونیهای مختلف آن را اندازه می گیریم . برای اندازه گیری مقدار ترارسانایی کافیست دامنهٔ جریان خروجی را بر دامنهٔ ولتاژ ورودی تقسیم کنیم،با توجه به طیف فرکانسی سیگنال خروجی ترارسانا در فرکانس ۱MHz، با اندازه‌گیری دیده می شود دومین هارمونی بعد از

هارمونی اصلی ٥٦db از آن کوچکتر است و هارمونیهای بعدی از مؤلفه اصلی خیلی کوچکترند .در نتیجه THD در این فرکانس ٥٦db بدست می آید. مقدار ترارسانایی در این فرکانس ٦٢μA/V است. THD در فرکانسهای پایین تا ٦٠db هم اندازه‌گیری شده‌است.

۸-۲-۳) تفسیر نتایج بدست آمده

با توجه به شکل (۷-۱۷) دیده می شود که کاهش مقاومت خروجی ترانزیستورها نقش کلیدی در کاهش عملکرد ترارسانا دارد. در صورت تغییر جریان منبع جریان شامل $M_7...M_{10}$ جریان بایاس ترانزیستورهای ورودی و در نتیجه ولتاژ گیت سورس آنها تغییر می کند که این تغییر غیرخطی ولتاژ گیت سورس M_2 و M_1 با ولتاژ ورودی جمع شده و باعث غیرخطی شدن خروجی می شود . هرگونه تغییر جریان منابع جریان بالایی هم مستقیماً با جریان مقاومت Rs جمع می شود و باعث غیر خطی شدن خروجی می شود. باید توجه داشت که تغییرات ولتاژ درین سورس این منبع زیاد و تقریباً برابر ولتاژ ورودی است .

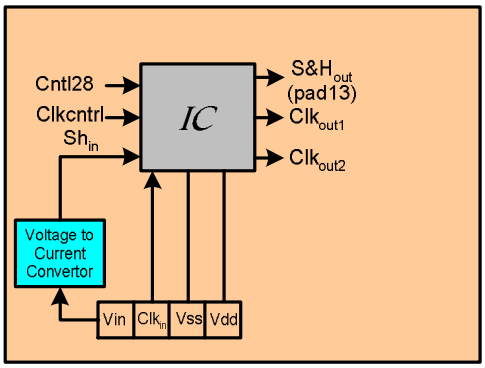
یکی دیگر از علل غیرخطی شدن خروجی، آیینه نشدن دقیق جریانها در آینه‌های جریان است. این آیینه ها که شامل $M_{11}...M_{14}$ و $M_{19}...M_{22}$ است ، جریان تفاضلی ID_5 و ID_6 را از هم کم می کنند و یک جریان منفرد می سازند. هر گونه عملکرد غیر ایده آل ابن آیینه های جریان باعث حذف نشدن کامل هارمونیهای مرتبهٔ زوج و در نتیجه افزایش غیر خطی بودن ترارسانا می شود .

با توجه به این مباحث با هر گونه کاهش مقاومت خروجی ، به شدت کارایی ترارسانا کاهش می‌یابد و خروجی غیر خطی‌تر می شود . همچنین کاهش تطابق بین ترانزیستورهای آینه‌کننده، باعث کاهش دقت آینه های جریان یا یکسان نبودن جریان دو شاخهٔ منابع جریان می شود که بر غیر خطی شدن خروجی اثر می گذارد.

نکته مهم دیگر در مقدار خطی بودن خروجی اندازه گیری شده ، مقدار خطی بودن کپی کننده های جریان است که در اینجا هم عملکرد و دقت کپی کننده های جریان به تطابق بین ترانزیستورها و مقاومت خروجی آنها بستگی دارد.

۸-۳) تست و مشخصهٔ نگاری S&H

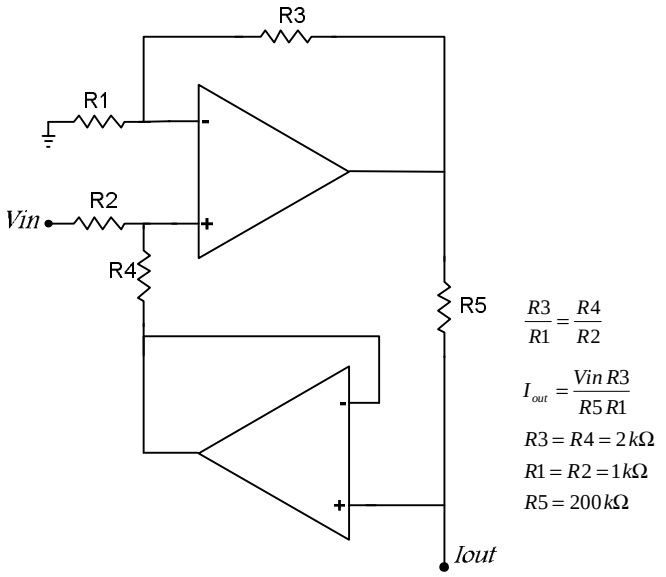
مدار تست S&H در شکل (۸-٤) دیده می شود. با توجه به شکل (٤-۳) دیده می شود برای تست S&H پایه کنترلی Cnt128 "H" می شود تا سوئیچ مسیر مستقیم باز شود و آنگاه خروجی S&H بر روی پد pad13 اندازه گیری می شود. ورودی S&H از pad12 بصورت جریان وارد می شود.با توجه به استراتژی تراشه دیده می شود که یک S&H جداگانه برای تست عملکرد آن پیش‌بینی شده است. از آنجا که ورودی مدار S&H جریان است از مبدل ولتاژ به جریان شکل (۸-۵) برای اعمال ورودی به آن استفاده شده است.



شکل ۸ -٤: برد تست S&H

همانطور که در شرح مدار S&H دیدیم، برای S&H نیاز به دو کلاک غیر همپوشان داریم که هم قابل اعمال از خارج تراشه است و هم می توان با اعمال یک کلاک و استفاده از مدار داخل تراشه دو

کلاک را تولید کرد. انتخاب بین این دو حالت بوسیله پایه کنترلی clkcntrl است. در هر دو حالت دو کلاک غیر همپوشان را می توان برروی پدهای Clkout2 و Clkout1 مشاهده کرد.



شکل ۸ -۵: مبدل ولتاژ به جریان با جریان خروجی مثبت ومنفی

۸-۳-۱) نتایج تست مدار S&H

در این قسمت نتایج تست و مشخصه‌نگاری مدار S&H ارائه می‌شود. باید توجه داشت که برای اندازه گیری خروجی S&H از همان روش اندازه گیری خروجی ترارسانا استفاده می‌شود.

۸-۳-۱-۱) تست مدار تولید کلاک غیر همپوشان

با صفر کردن Clkcntr1 و اعمال یک پالس ساعت به Clkin1، دو پالس ساعت غیر همپوشان ساخته می شود و به مدارات S&H می‌رود. این دو پالس ساعت را می توان بر روی پدهای Clkout2 و Clkout1 دید. مقدار غیر همپوشانی دو پالس ساعت با فرکانس ۲۰MHZ، ۳ns اندازه گیری شده است؛

که این زمان اختلاف بین زمانهای رسیدن به ۵۰% خروجی نهایی است. در نهایت صحت عملکـرد مـدار تولید پالس ساعت غیر همپوشان تایید شد.

۸-۳-۱-۲) اندازه گیری تزریق پالس ساعت[1]

بـا اعمـال ورودی صـفر و کـلاک ۲۰MHz دامنـهٔ جهشـهای ناشـی از تزریـق پـالس سـاعت ۲μA اندازه‌گیری شد. با گذاشتن فیلتر بالاگذر در مراحل بعدی اندازه گیری این جهش ها تا حد ممکن حذف شده اند.

۸-۳-۱-۳) اندازه گیری دقت S&H

برای اندهزه‌گیری دقت مدار، ابتدا یک مقدار ثابت بـه ورودی اعمـال مـی کنـیم سـپس Clkin1 را "H" می کنیم تا T&H اول نمونه‌برداری کند، سپس Clkin1 را "L" می کنیم تـا ایـن مقـدار وارد T&H دوم و خروجی شود. مقدار اختلاف این خروجی و ورودی اولیه دقت S&H را نشان می‌دهد. در نهایـت با دامنهٔ ورودی ۲۵μA خروجی با دقت ۸ بیت اندازه گیری شد.

۸-۳-۱-٤) اندازه گیری سرعت و پهنای باند S&H

با اعمال ورودی به صورت مثلثی با دامنه ۳۰μA و اعمال پالس ساعت با فرکانس حداقل ۱۰ برابـر فرکانس ورودی، خروجی تا فرکانس کـلاک ۱۸MHz خروجـی، ورودی را دنبـال مـی کنـد. بـا افـزایش فرکانس پالس ساعت خروجی قادر به دنبال ورودی نیست. بنابراین عملکرد این مدار در حد یـک S&H ۱۸MHz و ۸ بیت تایید شد. با افزایش فرکانس سیگنال ورودی، خروجی تـا فرکـانس ۲MHz ورودی را دنبال می‌کند.

[1] Clock feed through

۸-۳-۲) تفسیر نتایج اندازه‌گیری

مشاهده می شود که دقت S&H از نتایج شبیه سازی ها کمتر است. در این قسمت عوامل کاهش دقت را بررسی می کنیم تطابق بین ترانزیستورهای M_3-M_1 و M_4-M_2 نقش کلیدی در دقت مدار دارد. همچنین کاهش مقاومت خروجی آنها یا یکسان نبودن ولتاژ درین سورس آنها باعث اختلاف بین جریان ورودی و خروجی می شود. دقت آینه جریان شامل M_9-M_{12} باعث کپی شدن صحیح $-\frac{I_{in}}{2}$ به شاخه سمت راست شده و مقدار صحیح آن از M_2 خواهد گذشت. هرگونه کاهش مقاومت خروجی آیینه جریان که باعث اختلاف جریان دو طرف آن شود موجب اختلاف جریان ورودی و خروجی می شود. همچنین کاهش مقاومت خروجی طبقه کسکود تا شده که برای تفاضل دو جریان I_{D8} و I_{D7} استفاده شده است، باعث می شود تفاضل دقیق دو جریان بدست نیاید و در نتیجه خروجی از ورودی فاصله بگیرد . تمام این عوامل باعث کاهش دقت خروجی می شوند.

۸-٤) تست قسمت دیجیتال

دیتای ورودی بصورت رشته ۰و۱ در ۵۶۰ کلاک در حالیکه Clk-En=1 است، وارد شیفت‌رجیستر اصلی می شود. سپس Load/Shift=۰ می‌شود و Clk-En=۰ می شود . با پالس کلاک، ۰ و ۱ ها به ترتیب خارج می شوند. اگر Load/Shift=۱ شود خروجی Sout ثابت می ماند. با تغییر دوباره Load/Shift=۰، با کلاکهای بعدی دوباره ۱ و ۰ ها از اول خارج می شوند که بیانگر عملکرد صحیح Clk-En و Load/Shift و کل بلوک دیجیتال است .

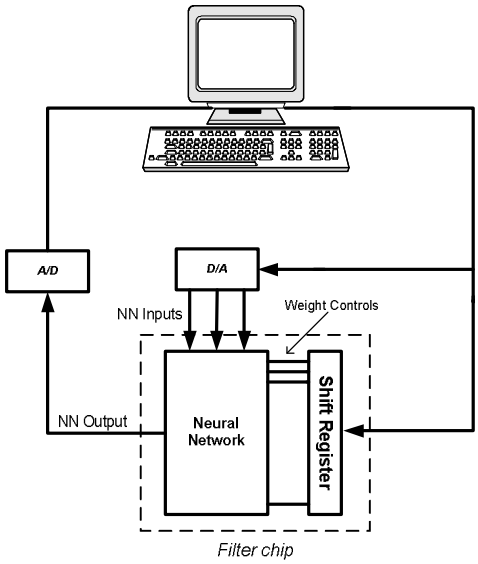
۸-۵) تست شبکه عصبی

در این بخش شبکه‌عصبی مسیر مستقیم از نظر سرعت و قابلیت آموزش آن تست شده‌است. با اعمال پالس ورودی ۲۵μA به یکی از ورودیها زمان صعود خروجی ٦۰ns اندازه گیری می شود. این مقدار بسیار نزدیک به مقداریست که از شبیه‌سازی پس از لی‌آوت بدست آمده‌است.

برای تست شبکه عصبی با ۱ کردن پایه کنترلی Cntl25 ورودی شبکه های عصبی مسیر رفت و برگشت از خارج تراشه به صورت جریان قابل اعمال است. برای تست شبکه عصبی مسیر رفت، پایه کنترلی Cntl30 صفر می شود تا حلقه فیدبک باز شود و تنها خروجی شبکه عصبی مسیر رفت در Pad13 ظاهر شود. ورودیها از پایه های pad4، pad5 و pad6 وارد می شوند. برای تست شبکه دوم ورودیها از پایه های pad11 و pad10 وارد می شوند و خروجی از pad8 اندازه گیری می شود.

برای آموزش شبکه عصبی از الگوریتم ژنتیک استفاده شده است. ابتدا یک جمعیت با تعداد مشخص کروموزوم ایجاد می شود که این کروموزومها، تمام وزنهای شبکه عصبی هستند. برای مشخص کردن شایستگی هر کروموزم باید وزنهای شبکه عصبی هستند . برای مشخص کردن شایستگی هر کروموزم باید وزنهای شبکه عصبی مطابق آن تنظیم شوند سپس ورودی ها به شبکه اعمال شوند و خروجی شبکه بدست آید . براساس اختلاف خروجی شبکه از خروجی واقعی، شایستگی کروموزوم مشخص می شود که هر چه این اختلاف کمتر باشد شایستگی بیشتر است. الگوریتم آموزش در فصل ۳ تشریح شده است تنها در اینجا به نحوه پیاده سازی آن می پردازیم. برنامه ای بزبان C برای آموزش شبکه عصبی نوشته شده است که ابتدا یک مجموعه آموزشی شامل چندین ورودی و خروجی به تابع $y=a_1x_1+a_2x_2+a_3x_3$ به آن داده می شود، سپس وزنهای شبکه مشخص می شوند. برای اعمال وزنها و ورودیها به تراشه و خواندن خروجی شبکه عصبی یک کارت ISA طراحی شده است. نحوه عملکرد در شکل (۸-٦) خلاصه شده است. برای تعیین شایستگی هر کروموزوم وزنهای مشخص شده بوسیله آن در

۳۲۰ پالس ساعت و با اعمال کنترلهای مناسب در شیفت رجیستر بار می شود . سپس ورودیهایی که در مجموعه آموزش وجود دارد بوسیله ۳ مبدل دیجیتال به آنالوگ ۱۲ بیت به ولتاژ تبدیل شده و توسط مبدل های ولتاژ به جریان روی برد تست به سه ورودی شبکه اعمال می شود . سپس خروجی شبکه عصبی بوسیله یک مبدل آنالوگ به دیجیتال خوانده می شود.



شکل ۸ -٦: آموزش به شبکه عصبی با استفاد هاز کارت ISA

این عمل برای تمام ورودیهای مجموعه آموزش انجام می شود تا شایستگی یک کروزوم محاسبه شود . سپس شایستگی تمام کروموزمهای یک نسل محاسبه می شود و الگوریتم براساس این شایستگی ها ادامه می یابد.

بعنوان نمونه آموزش $y=0.3x_1+0.6x_2+0.75x_3$ در ۸۰۰۰ نسل، در طول ۶ دقیقه بوسیله این نرم‌افزار با دقت ۰/۵ درصد همگرا شد. نکته فوق العاده جالب این طرح و ایده این است که مستقل از مقدار واقعی وزنها الگوریتم بگونه ای عمل می کند که بهینه ترین وزنها را بیابد.

۸-٦) نتیجه‌گیری و پیشنهادات

در این پروژه ایده پردازشگرهای سیگنال براساس ساختار شبکه های عصبی مطرح ، پیاده سازی ، ساخته و تست شده است. این پردازشگرها (به عنوان مثال فیلتر) دارای حساسیت کم نسبت به پارامترهای ساخت و پروسه مدار هستند و بالقوه سرعت بالایی دارند تست تراشه ساخته شده قابلیت آموزش شبکه عصبی و استفاده از آن در پردازشهای مختلف سیگنال آنالوگ مانند فیلتر کردن یا تبدیل آنالوگ به دیجیتال یا بالعکس و با نشان می دهد که هدف از این پروژه اثبات کارآیی ایده بوده است که با موفقیت انجام شده اما این روش نیازمند تحقیق و توجه بیشتر است پیشنهادات نیز برای ادامه کار قابل ارائه است

- یافتن راه حلهای پیاده سازی بهینه سیناپسها بگونه ای که خود وزنهای خود را نگه دارند که در این صورت نیاز به قسمت دیجیتال نیست و حجم مدار کاهش می یابد .
- طراحی S&H با سرعت و دقت بالاتر برای این مدارات.
- با توجه به اینکه در بسیاری از پردازشها می‌توان از شبکه عصبی استفاده کرد، می توان شبکه‌عصبی‌ای طراحی کرد که حتی ساختار آن از بیرون قابل برنامه ریزی باشد (مداری مشابه FPGA ها در دیجیتال) در این صورت می توان ساختار شبکه عصبی را مطابق با نیاز مساله بازآرایی کرد.
- طراحی سیناپسهای سریعتر و ساده تر با وزنهای گسسته
- استفاده از مالتی پلکسر بجای شیفت رجیستر که زمان آموزشی شبکه را کاهش میدهد و کار با آن را ساده می کند.
- طراحی و ساخت مدار مرجع داخلی با ثبات کافی که نیاز به جریان مرجع خروجی نباشد.
- استفاده از روشهای خودکار برای حذف افست گره های حساس

س امکان سنجی طراحی مدار در مد ولتاژ و بررسی عملکرد آن.

ضمیمه ۱

برخی مشخصات پروسه طراحی (AMS 0.8 u CMOS)

در جدول زیر پارامترهای تطابق V_{th} و I_D که در فصل ۵ به آنها اشاره شد آورده شده‌است.

Parameter	NMOS	PMOS	Unit
AVTO	30.1	24.3	mVμm
AID0.0	39.0	33.0	% μm
AID0.2	20.4	15.6	% μm
AID0.4	13.2	9.54	% μm
AID0.6	9.63	6.91	% μm
AID1.0	6.30	4.60	% μm
AID2.0	3.49	2.85	% μm
AID3.0	2.48	2.30	% μm
AID5.0	1.64	1.85	% μm

جدول ضمیمه ۱ -۱: پارامترهای تطابق V_{th} و I_D

در ادامه مدلهای ترانزیستورهای PMOS و NMOS که در شبیه‌سازیهای Hspice استفاده شده‌اند، آورده شده‌است.

```
.MODEL MODN NMOS LEVEL=49
* ---------------------------------------------------------------------
**************************          SIMULATION          PARAMETERS
**************************
* ---------------------------------------------------------------------
* format    : HSPICE
* model     : MOS BSIM3v3
* process   : CX[BWEQ]
* extracted : CXE 19974.1; 1999-07; ese(487)
* doc#      : 9933013 REV_C
* created   : 1999-08-03
* ---------------------------------------------------------------------
*                  TYPICAL MEAN CONDITION
* ---------------------------------------------------------------------
*
*       *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
*       *** Threshold voltage related model parameters ***
+K1     =1.030e+00
```

```
+K2     =-7.65e-02 K3     =1.295e+01 K3B    =-3.10e+00
+NCH    =1.107e+17 VTH0   =7.681e-01
+VOFF   =-1.19e-01 DVT0   =2.560e+00 DVT1   =7.295e-01
+DVT2   =-2.50e-01 KETA   =6.525e-03
+PSCBE1 =3.180e+08 PSCBE2 =5.590e-06
+DVT0W  =-5.50e+00 DVT1W  =1.627e+06 DVT2W  =-1.08e-01
*       *** Mobility related model parameters ***
+UA     =3.224e-10 UB     =1.504e-19 UC     =1.535e-11
+U0     =4.471e+02
*       *** Subthreshold related parameters ***
+DSUB   =5.300e-01 ETA0   =2.149e-04 ETAB   =-3.12e-02
+NFACTOR=6.985e-01
*       *** Saturation related parameters ***
+EM     =4.100e+07 PCLM   =8.328e-01
+PDIBLC1=5.932e-03 PDIBLC2=1.754e-03 DROUT  =1.140e-01
+A0     =5.696e-01 A1     =0.000e+00 A2     =1.000e+00
+PVAG   =0.000e+00 VSAT   =9.585e+04 AGS    =5.431e-02
+B0     =1.488e-07 B1     =0.000e+00 DELTA  =1.000e-02
+PDIBLCB=-1.06e-01
*       *** Geometry modulation related parameters ***
+W0     =7.815e-07 DLC    =1.621e-07
+DWC    =1.349e-07 DWB    =0.000e+00 DWG    =0.000e+00
+LL     =0.000e+00 LW     =0.000e+00 LWL    =0.000e+00
+LLN    =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW     =-5.61e-15 WWL    =0.000e+00 WLN    =1.000e+00
+WWN    =1.200e+00
*       *** Temperature effect parameters ***
+AT     =3.300e+04 UTE    =-1.80e+00
+KT1    =-4.20e-01 KT2    =2.200e-02 KT1L   =0.000e+00
+UA1    =0.000e+00 UB1    =0.000e+00 UC1    =0.000e+00
+PRT    =0.000e+00
*       *** Overlap capacitance related and dynamic model parameters   ***
+CGDO   =3.400e-10 CGSO   =3.400e-10 CGBO   =1.400e-10
+CGDL   =0.000e+00 CGSL   =0.000e+00 CKAPPA =6.000e-01
+CF     =0.000e+00 ELM    =5.000e+00
+XPART  =1.000e+00 CLC    =1.000e-15 CLE    =6.000e-01
*       *** Parasitic resistance and capacitance related model parameters ***
+RDSW   =1.484e+03
+CDSC   =5.975e-04 CDSCB  =2.693e-05 CDSCD  =2.595e-05
+PRWB   =0.000e+00 PRWG   =0.000e+00 CIT    =3.623e-05
*       *** Process and parameters extraction related model parameters ***
+TOX    =1.700e-08 NGATE  =0.000e+00
+NLX    =1.148e-08
+XL     =0.000e+00 XW     =0.000e+00
*       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0  =3.000e+01
*       *** Noise effect related model parameters ***
+AF     =1.330e+00 KF     =1.040e-26 EF     =1.000e+00
+NOIA   =1.000e+20 NOIB   =5.000e+04 NOIC   =-1.40e-12
+NLEV   =0
```

```
*       *** Common extrinsic model parameters ***
+ACM    =2
+RD     =0.000e+00 RS     =0.000e+00 RSH    =4.200e+01
+RDC    =0.000e+00 RSC    =0.000e+00
+LINT   =1.621e-07  WINT   =1.349e-07
+LDIF   =0.000e+00 HDIF   =1.250e-06 WMLT   =1.000e+00
+LMLT   =1.000e+00 XJ     =3.000e-07
+JS     =2.000e-05 JSW    =0.000e+00 IS     =0.000e+00
+N      =1.000e+00 NDS    =1000. VNDS   =-1.000e+00
+CBD    =0.000e+00 CBS    =0.000e+00 CJ     =4.500e-04
+CJSW   =5.500e-10 FC     =0.000e+00
+MJ     =4.100e-01 MJSW   =2.500e-01 TT     =0.000e+00
+PB     =8.100e-01 PHP    =8.100e-01
*---------------------------------------------------------------------
```

```
* ---------------------------------------------------------------------
*                  WORST CASE POWER CONDITION
* ---------------------------------------------------------------------
*
*       *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
*       *** Threshold voltage related model parameters ***
+K1     =8.592e-01
+K2     =-6.70e-02 K3     =1.295e+01 K3B    =-3.10e+00
+NCH    =9.735e+16 VTH0   =6.861e-01
+VOFF   =-1.19e-01 DVT0   =2.560e+00 DVT1   =7.295e-01
+DVT2   =-2.50e-01 KETA   =6.525e-03
+PSCBE1 =3.180e+08 PSCBE2 =5.590e-06
+DVT0W  =-5.50e+00 DVT1W  =1.627e+06 DVT2W  =-1.08e-01
*       *** Mobility related model parameters ***
+UA     =3.224e-10 UB     =1.504e-19 UC     =1.535e-11
+U0     =4.941e+02
*       *** Subthreshold related parameters ***
+DSUB   =5.300e-01 ETA0   =2.149e-04 ETAB   =-3.12e-02
+NFACTOR=6.985e-01
*       *** Saturation related parameters ***
+EM     =4.100e+07 PCLM   =8.328e-01
+PDIBLC1=5.932e-03 PDIBLC2=1.754e-03 DROUT  =1.140e-01
+A0     =5.696e-01 A1     =0.000e+00 A2     =1.000e+00
+PVAG   =0.000e+00 VSAT   =9.585e+04 AGS    =5.431e-02
+B0     =1.488e-07 B1     =0.000e+00 DELTA  =1.000e-02
+PDIBLCB=-1.06e-01
*       *** Geometry modulation related parameters ***
+W0     =7.815e-07 DLC    =1.621e-07
+DWC    =1.349e-07 DWB    =0.000e+00 DWG    =0.000e+00
+LL     =0.000e+00 LW     =0.000e+00 LWL    =0.000e+00
+LLN    =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW     =-5.61e-15 WWL    =0.000e+00 WLN    =1.000e+00
+WWN    =1.200e+00
*       *** Temperature effect parameters ***
+AT     =3.300e+04 UTE    =-1.80e+00
```

+KT1 =-4.20e-01 KT2 =2.200e-02 KT1L =0.000e+00
+UA1 =0.000e+00 UB1 =0.000e+00 UC1 =0.000e+00
+PRT =0.000e+00
* *** Overlap capacitance related and dynamic model parameters ***
+CGDO =2.500e-10 CGSO =2.500e-10 CGBO =1.100e-10
+CGDL =0.000e+00 CGSL =0.000e+00 CKAPPA =6.000e-01
+CF =0.000e+00 ELM =5.000e+00
+XPART =1.000e+00 CLC =1.000e-15 CLE =6.000e-01
* *** Parasitic resistance and capacitance related model parameters ***
+RDSW =1.484e+03
+CDSC =5.975e-04 CDSCB =2.693e-05 CDSCD =2.595e-05
+PRWB =0.000e+00 PRWG =0.000e+00 CIT =3.623e-05
* *** Process and parameters extraction related model parameters ***
+TOX =1.590e-08 NGATE =0.000e+00
+NLX =1.148e-08
+XL =-1.23e-07 XW =3.460e-07
* *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0 =3.000e+01
* *** Noise effect related model parameters ***
+AF =1.330e+00 KF =1.040e-26 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
+NLEV =0
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =3.000e+01
+RDC =0.000e+00 RSC =0.000e+00
+LINT =1.621e-07 WINT =1.349e-07
+LDIF =0.000e+00 HDIF =1.250e-06 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =2.000e-05 JSW =0.000e+00 IS =0.000e+00
+N =1.000e+00 NDS =1000. VNDS =-1.000e+00
+CBD =0.000e+00 CBS =0.000e+00 CJ =3.375e-04
+CJSW =4.125e-10 FC =0.000e+00
+MJ =4.100e-01 MJSW =2.500e-01 TT =0.000e+00
+PB =8.100e-01 PHP =8.100e-01
*----------

---

* ----------
* ***WORST CASE SPEED CONDITION***
* ----------
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
* *** Threshold voltage related model parameters ***
+K1 =1.222e+00
+K2 =-9.97e-02 K3 =1.295e+01 K3B =-3.10e+00
+NCH =1.240e+17 VTH0 =8.461e-01
+VOFF =-1.19e-01 DVT0 =2.560e+00 DVT1 =7.295e-01
+DVT2 =-2.50e-01 KETA =6.525e-03
+PSCBE1 =3.180e+08 PSCBE2 =5.590e-06
+DVT0W =-5.50e+00 DVT1W =1.627e+06 DVT2W =-1.08e-01

```
*       *** Mobility related model parameters ***
+UA     =3.224e-10 UB     =1.504e-19 UC     =1.535e-11
+U0     =4.443e+02
*       *** Subthreshold related parameters ***
+DSUB   =5.300e-01 ETA0   =2.149e-04 ETAB   =-3.12e-02
+NFACTOR=6.985e-01
*       *** Saturation related parameters ***
+EM     =4.100e+07 PCLM   =8.328e-01
+PDIBLC1=5.932e-03 PDIBLC2=1.754e-03 DROUT  =1.140e-01
+A0     =5.696e-01 A1     =0.000e+00 A2     =1.000e+00
+PVAG   =0.000e+00 VSAT   =9.585e+04 AGS    =5.431e-02
+B0     =1.488e-07 B1     =0.000e+00 DELTA  =1.000e-02
+PDIBLCB=-1.06e-01
*       *** Geometry modulation related parameters ***
+W0     =7.815e-07 DLC    =1.621e-07
+DWC    =1.349e-07 DWB    =0.000e+00 DWG    =0.000e+00
+LL     =0.000e+00 LW     =0.000e+00 LWL    =0.000e+00
+LLN    =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW     =-5.61e-15 WWL    =0.000e+00 WLN    =1.000e+00
+WWN    =1.200e+00
*       *** Temperature effect parameters ***
+AT     =3.300e+04 UTE    =-1.80e+00
+KT1    =-4.20e-01 KT2    =2.200e-02 KT1L   =0.000e+00
+UA1    =0.000e+00 UB1    =0.000e+00 UC1    =0.000e+00
+PRT    =0.000e+00
*       *** Overlap capacitance related and dynamic model parameters   ***
+CGDO   =4.400e-10 CGSO   =4.400e-10 CGBO   =1.700e-10
+CGDL   =0.000e+00 CGSL   =0.000e+00 CKAPPA =6.000e-01
+CF     =0.000e+00 ELM    =5.000e+00
+XPART  =1.000e+00 CLC    =1.000e-15 CLE    =6.000e-01
*       *** Parasitic resistance and capacitance related model parameters ***
+RDSW   =1.484e+03
+CDSC   =5.975e-04 CDSCB  =2.693e-05 CDSCD  =2.595e-05
+PRWB   =0.000e+00 PRWG   =0.000e+00 CIT    =3.623e-05
*       *** Process and parameters extraction related model parameters ***
+TOX    =1.810e-08 NGATE  =0.000e+00
+NLX    =1.148e-08
+XL     =1.170e-07 XW     =-2.54e-07
*       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0  =3.000e+01
*       *** Noise effect related model parameters ***
+AF     =1.330e+00 KF     =1.040e-26 EF     =1.000e+00
+NOIA   =1.000e+20 NOIB   =5.000e+04 NOIC   =-1.40e-12
+NLEV   =0
*       *** Common extrinsic model parameters ***
+ACM    =2
+RD     =0.000e+00 RS     =0.000e+00 RSH    =5.000e+01
+RDC    =0.000e+00 RSC    =0.000e+00
+LINT   =1.621e-07  WINT   =1.349e-07
+LDIF   =0.000e+00 HDIF   =1.250e-06 WMLT   =1.000e+00
```

```
+LMLT   =1.000e+00 XJ     =3.000e-07
+JS     =2.000e-05 JSW    =0.000e+00 IS     =0.000e+00
+N      =1.000e+00 NDS    =1000. VNDS   =-1.000e+00
+CBD    =0.000e+00 CBS    =0.000e+00 CJ     =5.625e-04
+CJSW   =6.875e-10 FC     =0.000e+00
+MJ     =4.100e-01 MJSW   =2.500e-01 TT     =0.000e+00
+PB     =8.100e-01 PHP    =8.100e-01
*---------------------------------------------------------------------
```

.MODEL MODP PMOS LEVEL=49

```
* ---------------------------------------------------------------------
************************          SIMULATION          PARAMETERS
************************
* ---------------------------------------------------------------------
* format    : HSPICE
* model     : MOS BSIM3v3
* process   : CX[BWEQ]
* extracted : CXE 19974.1; 1999-07; ese(487)
* doc#      : 9933013 REV_C
* created   : 1999-08-03
* ---------------------------------------------------------------------
*                    TYPICAL MEAN CONDITION
* ---------------------------------------------------------------------
*
*       *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
*       *** Threshold voltage related model parameters ***
+K1     =5.597e-01
+K2     =4.770e-03 K3     =1.551e+01 K3B    =-3.38e+00
+NCH    =1.686e+16 VTH0   =-8.09e-01
+VOFF   =-1.28e-01 DVT0   =5.016e+00 DVT1   =9.534e-01
+DVT2   =-2.34e-02 KETA   =-4.03e-04
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-10
+DVT0W  =3.803e-01 DVT1W  =2.420e+05 DVT2W  =4.575e-03
*       *** Mobility related model parameters ***
+UA     =2.079e-09 UB     =1.490e-19 UC     =-6.22e-11
+U0     =1.795e+02
*       *** Subthreshold related parameters ***
+DSUB   =5.263e-01 ETA0   =1.059e-01 ETAB   =-9.81e-03
+NFACTOR=2.914e-01
*       *** Saturation related parameters ***
+EM     =4.100e+07 PCLM   =3.602e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-30 DROUT  =5.649e-01
+A0     =1.051e+00 A1     =0.000e+00 A2     =1.000e+00
+PVAG   =0.000e+00 VSAT   =1.492e+05 AGS    =1.817e-01
+B0     =1.291e-07 B1     =0.000e+00 DELTA  =1.000e-02
+PDIBLCB=-1.00e+00
*       *** Geometry modulation related parameters ***
```

```
+W0     =1.000e-06 DLC    =3.251e-08
+DWC    =1.741e-07 DWB    =0.000e+00 DWG    =0.000e+00
+LL     =0.000e+00 LW     =0.000e+00 LWL    =0.000e+00
+LLN    =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW     =-5.99e-15 WWL    =0.000e+00 WLN    =1.000e+00
+WWN    =1.200e+00
*       *** Temperature effect parameters ***
+AT     =3.300e+04 UTE    =-1.40e+00
+KT1    =-5.40e-01 KT2    =2.200e-02 KT1L   =0.000e+00
+UA1    =0.000e+00 UB1    =0.000e+00 UC1    =0.000e+00
+PRT    =0.000e+00
*       *** Overlap capacitance related and dynamic model parameters   ***
+CGDO   =3.400e-10 CGSO   =3.400e-10 CGBO   =1.400e-10
+CGDL   =0.000e+00 CGSL   =0.000e+00 CKAPPA =6.000e-01
+CF     =0.000e+00 ELM    =5.000e+00
+XPART  =1.000e+00 CLC    =1.000e-15 CLE    =6.000e-01
*       *** Parasitic resistance and capacitance related model parameters ***
+RDSW   =1.372e+03
+CDSC   =1.598e-03 CDSCB  =3.354e-04 CDSCD  =0.000e+00
+PRWB   =0.000e+00 PRWG   =0.000e+00 CIT    =3.500e-04
*       *** Process and parameters extraction related model parameters ***
+TOX    =1.700e-08 NGATE  =0.000e+00
+NLX    =4.410e-07
+XL     =0.000e+00 XW     =0.000e+00
*       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0  =3.000e+01
*       *** Noise effect related model parameters ***
+AF     =1.220e+00 KF     =3.900e-29 EF     =1.000e+00
+NOIA   =1.000e+20 NOIB   =5.000e+04 NOIC   =-1.40e-12
+NLEV   =0
*       *** Common extrinsic model parameters ***
+ACM    =2
+RD     =0.000e+00 RS     =0.000e+00 RSH    =5.500e+01
+RDC    =0.000e+00 RSC    =0.000e+00
+LINT   =3.251e-08  WINT   =1.741e-07
+LDIF   =0.000e+00 HDIF   =1.250e-06 WMLT   =1.000e+00
+LMLT   =1.000e+00 XJ     =3.000e-07
+JS     =2.000e-05 JSW    =0.000e+00 IS     =0.000e+00
+N      =1.000e+00 NDS    =1000. VNDS   =-1.000e+00
+CBD    =0.000e+00 CBS    =0.000e+00 CJ     =6.500e-04
+CJSW   =5.000e-10 FC     =0.000e+00
+MJ     =4.600e-01 MJSW   =3.100e-01 TT     =0.000e+00
+PB     =8.600e-01 PHP    =8.600e-01
*---------------------------------------------------------------------
* ---------------------------------------------------------------------
*                  WORST CASE POWER CONDITION
* ---------------------------------------------------------------------
*

*       *** Flags ***
```

```
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
*       *** Threshold voltage related model parameters ***
+K1     =5.215e-01
+K2     =1.233e-04 K3     =1.551e+01 K3B    =-3.38e+00
+NCH    =1.475e+16 VTH0   =-6.69e-01
+VOFF   =-1.28e-01 DVT0   =5.016e+00 DVT1   =9.534e-01
+DVT2   =-2.34e-02 KETA   =-4.03e-04
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-10
+DVT0W  =3.803e-01 DVT1W  =2.420e+05 DVT2W  =4.575e-03
*       *** Mobility related model parameters ***
+UA     =2.079e-09 UB     =1.490e-19 UC     =-6.22e-11
+U0     =2.078e+02
*       *** Subthreshold related parameters ***
+DSUB   =5.263e-01 ETA0   =1.059e-01 ETAB   =-9.81e-03
+NFACTOR=2.914e-01
*       *** Saturation related parameters ***
+EM     =4.100e+07 PCLM   =3.602e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-30 DROUT  =5.649e-01
+A0     =1.051e+00 A1     =0.000e+00 A2     =1.000e+00
+PVAG   =0.000e+00 VSAT   =1.492e+05 AGS    =1.817e-01
+B0     =1.291e-07 B1     =0.000e+00 DELTA  =1.000e-02
+PDIBLCB=-1.00e+00
*       *** Geometry modulation related parameters ***
+W0     =1.000e-06 DLC    =3.251e-08
+DWC    =1.741e-07 DWB    =0.000e+00 DWG    =0.000e+00
+LL     =0.000e+00 LW     =0.000e+00 LWL    =0.000e+00
+LLN    =1.000e+00 LWN    =1.000e+00 WL     =0.000e+00
+WW     =-5.99e-15 WWL    =0.000e+00 WLN    =1.000e+00
+WWN    =1.200e+00
*       *** Temperature effect parameters ***
+AT     =3.300e+04 UTE    =-1.40e+00
+KT1    =-5.40e-01 KT2    =2.200e-02 KT1L   =0.000e+00
+UA1    =0.000e+00 UB1    =0.000e+00 UC1    =0.000e+00
+PRT    =0.000e+00
*       *** Overlap capacitance related and dynamic model parameters    ***
+CGDO   =2.500e-10 CGSO   =2.500e-10 CGBO   =1.100e-10
+CGDL   =0.000e+00 CGSL   =0.000e+00 CKAPPA =6.000e-01
+CF     =0.000e+00 ELM    =5.000e+00
+XPART  =1.000e+00 CLC    =1.000e-15 CLE    =6.000e-01
*       *** Parasitic resistance and capacitance related model parameters ***
+RDSW   =1.372e+03
+CDSC   =1.598e-03 CDSCB  =3.354e-04 CDSCD  =0.000e+00
+PRWB   =0.000e+00 PRWG   =0.000e+00 CIT    =3.500e-04
*       *** Process and parameters extraction related model parameters ***
+TOX    =1.590e-08 NGATE  =0.000e+00
+NLX    =4.410e-07
+XL     =-9.67e-08 XW     =3.050e-07
*       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0  =3.000e+01
*       *** Noise effect related model parameters ***
```

+AF =1.220e+00 KF =3.900e-29 EF =1.000e+00
+NOIA =1.000e+20 NOIB =5.000e+04 NOIC =-1.40e-12
+NLEV =0
* *** Common extrinsic model parameters ***
+ACM =2
+RD =0.000e+00 RS =0.000e+00 RSH =4.000e+01
+RDC =0.000e+00 RSC =0.000e+00
+LINT =3.251e-08 WINT =1.741e-07
+LDIF =0.000e+00 HDIF =1.250e-06 WMLT =1.000e+00
+LMLT =1.000e+00 XJ =3.000e-07
+JS =2.000e-05 JSW =0.000e+00 IS =0.000e+00
+N =1.000e+00 NDS =1000. VNDS =-1.000e+00
+CBD =0.000e+00 CBS =0.000e+00 CJ =4.875e-04
+CJSW =3.750e-10 FC =0.000e+00
+MJ =4.600e-01 MJSW =3.100e-01 TT =0.000e+00
+PB =8.600e-01 PHP =8.600e-01
*---

---

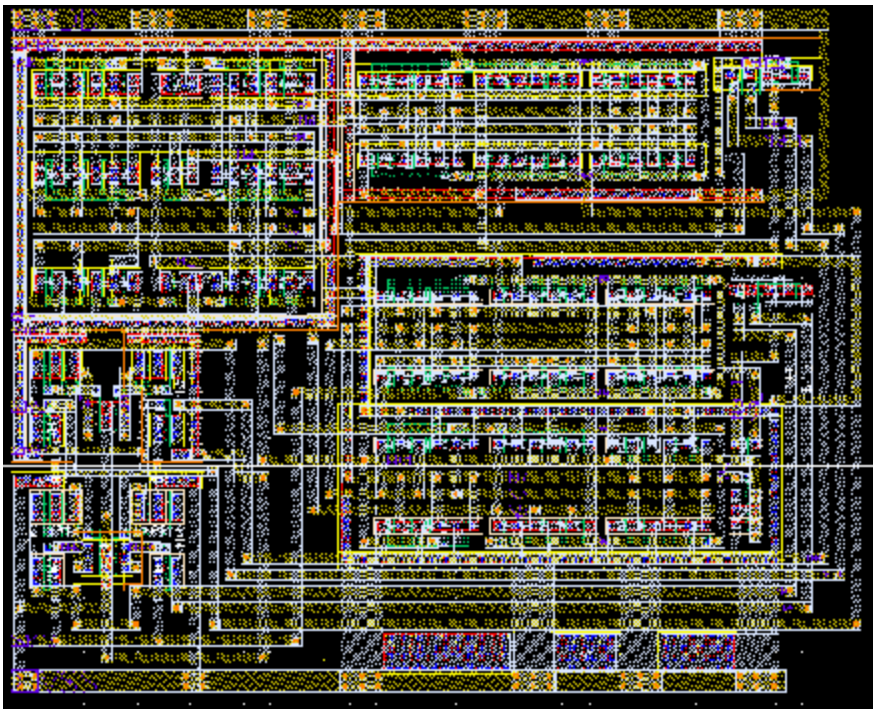
* ---
* ***WORST CASE SPEED CONDITION***
* ---
*
* *** Flags ***
+MOBMOD =1.000e+00 CAPMOD =2.000e+00
* *** Threshold voltage related model parameters ***
+K1 =6.111e-01
+K2 =1.088e-02 K3 =1.551e+01 K3B =-3.38e+00
+NCH =1.897e+16 VTH0 =-8.69e-01
+VOFF =-1.28e-01 DVT0 =5.016e+00 DVT1 =9.534e-01
+DVT2 =-2.34e-02 KETA =-4.03e-04
+PSCBE1 =5.000e+09 PSCBE2 =1.000e-10
+DVT0W =3.803e-01 DVT1W =2.420e+05 DVT2W =4.575e-03
* *** Mobility related model parameters ***
+UA =2.079e-09 UB =1.490e-19 UC =-6.22e-11
+U0 =1.729e+02
* *** Subthreshold related parameters ***
+DSUB =5.263e-01 ETA0 =1.059e-01 ETAB =-9.81e-03
+NFACTOR=2.914e-01
* *** Saturation related parameters ***
+EM =4.100e+07 PCLM =3.602e+00
+PDIBLC1=1.000e-04 PDIBLC2=1.000e-30 DROUT =5.649e-01
+A0 =1.051e+00 A1 =0.000e+00 A2 =1.000e+00
+PVAG =0.000e+00 VSAT =1.492e+05 AGS =1.817e-01
+B0 =1.291e-07 B1 =0.000e+00 DELTA =1.000e-02
+PDIBLCB=-1.00e+00
* *** Geometry modulation related parameters ***
+W0 =1.000e-06 DLC =3.251e-08
+DWC =1.741e-07 DWB =0.000e+00 DWG =0.000e+00
+LL =0.000e+00 LW =0.000e+00 LWL =0.000e+00
+LLN =1.000e+00 LWN =1.000e+00 WL =0.000e+00
+WW =-5.99e-15 WWL =0.000e+00 WLN =1.000e+00

```
+WWN    =1.200e+00
*       *** Temperature effect parameters ***
+AT     =3.300e+04 UTE    =-1.40e+00
+KT1    =-5.40e-01 KT2    =2.200e-02 KT1L   =0.000e+00
+UA1    =0.000e+00 UB1    =0.000e+00 UC1    =0.000e+00
+PRT    =0.000e+00
*       *** Overlap capacitance related and dynamic model parameters   ***
+CGDO   =4.400e-10 CGSO   =4.400e-10 CGBO   =1.700e-10
+CGDL   =0.000e+00 CGSL   =0.000e+00 CKAPPA =6.000e-01
+CF     =0.000e+00 ELM    =5.000e+00
+XPART  =1.000e+00 CLC    =1.000e-15 CLE    =6.000e-01
*       *** Parasitic resistance and capacitance related model parameters ***
+RDSW   =1.372e+03
+CDSC   =1.598e-03 CDSCB  =3.354e-04 CDSCD  =0.000e+00
+PRWB   =0.000e+00 PRWG   =0.000e+00 CIT    =3.500e-04
*       *** Process and parameters extraction related model parameters ***
+TOX    =1.810e-08 NGATE  =0.000e+00
+NLX    =4.410e-07
+XL     =1.433e-07 XW     =-2.95e-07
*       *** Substrate current related model parameters ***
+ALPHA0 =0.000e+00 BETA0  =3.000e+01
*       *** Noise effect related model parameters ***
+AF     =1.220e+00 KF     =3.900e-29 EF     =1.000e+00
+NOIA   =1.000e+20 NOIB   =5.000e+04 NOIC   =-1.40e-12
+NLEV   =0
*       *** Common extrinsic model parameters ***
+ACM    =2
+RD     =0.000e+00 RS     =0.000e+00 RSH    =7.000e+01
+RDC    =0.000e+00 RSC    =0.000e+00
+LINT   =3.251e-08  WINT   =1.741e-07
+LDIF   =0.000e+00 HDIF   =1.250e-06 WMLT   =1.000e+00
+LMLT   =1.000e+00 XJ     =3.000e-07
+JS     =2.000e-05 JSW    =0.000e+00 IS     =0.000e+00
+N      =1.000e+00 NDS    =1000. VNDS   =-1.000e+00
+CBD    =0.000e+00 CBS    =0.000e+00 CJ     =8.125e-04
+CJSW   =6.250e-10 FC     =0.000e+00
+MJ     =4.600e-01 MJSW   =3.100e-01 TT     =0.000e+00
+PB     =8.600e-01 PHP    =8.600e-01
* ---------------------------------------------------------------------
```

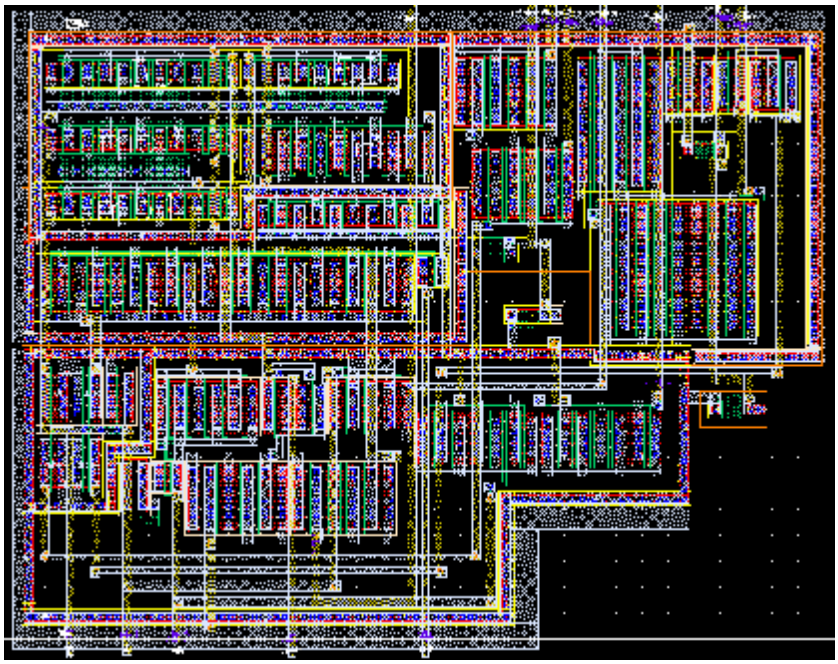
ضمیمه ۲

تصویر لی‌آوت بلوکهای مختلف تراشه

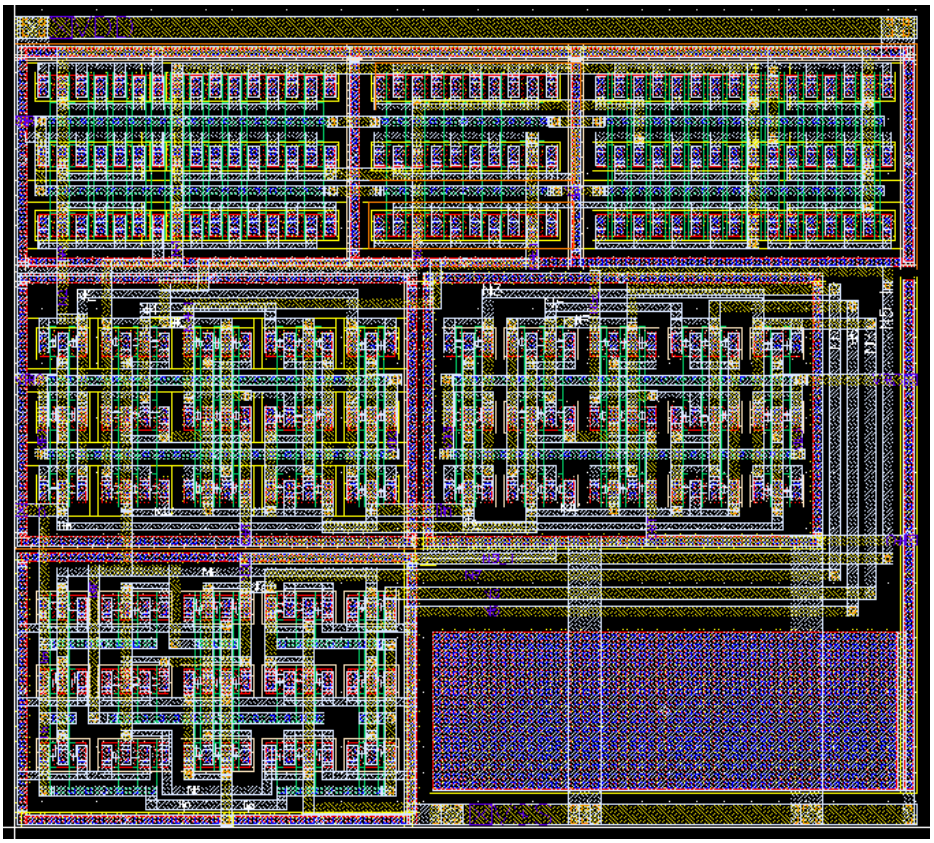
در این قسمت لی‌آوت قسمتها و بلوکهای مختلف تراشه نشان داده شده‌است.



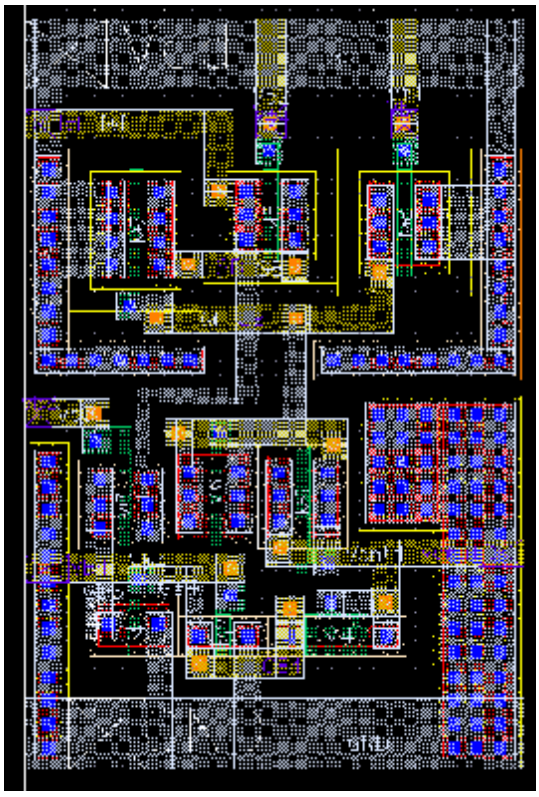
شکل ضمیمه ۲ -۱: تصویر لی‌آوت یک سیناپس



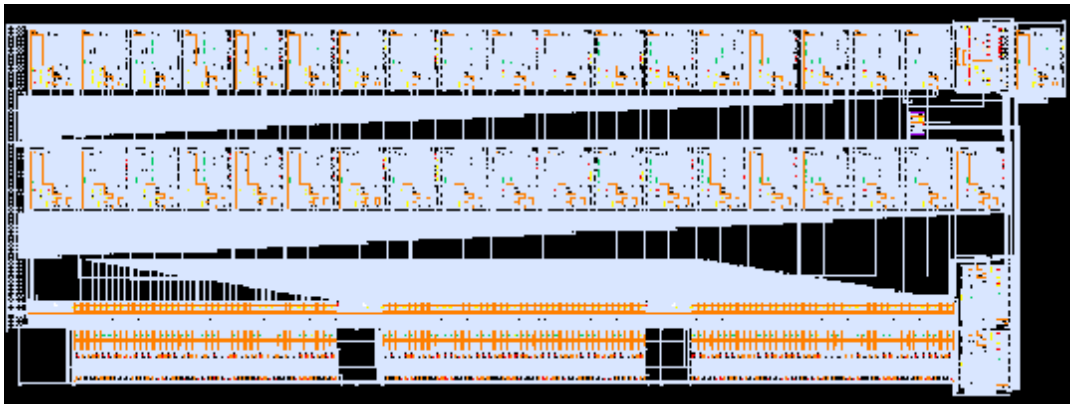
شکل ضمیمه ۲ -۲: تصویر لی‌آوت بلوک بایاس



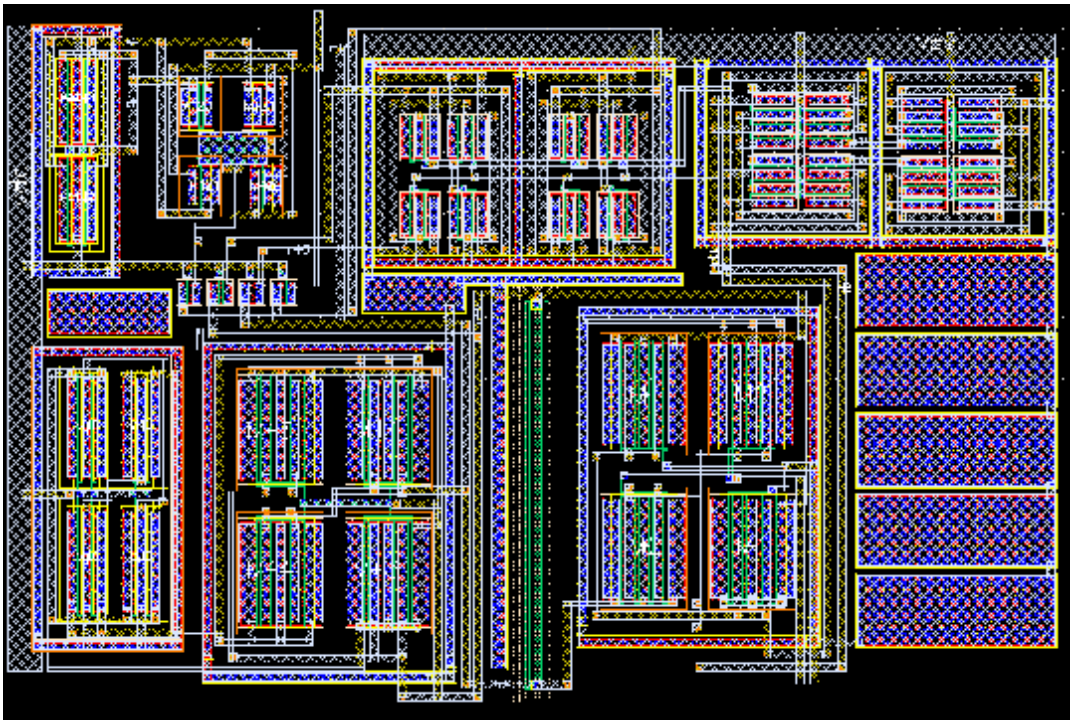
شکل ضمیمه ۲ -۳: تصویر لی‌آوت طبقه خروجی



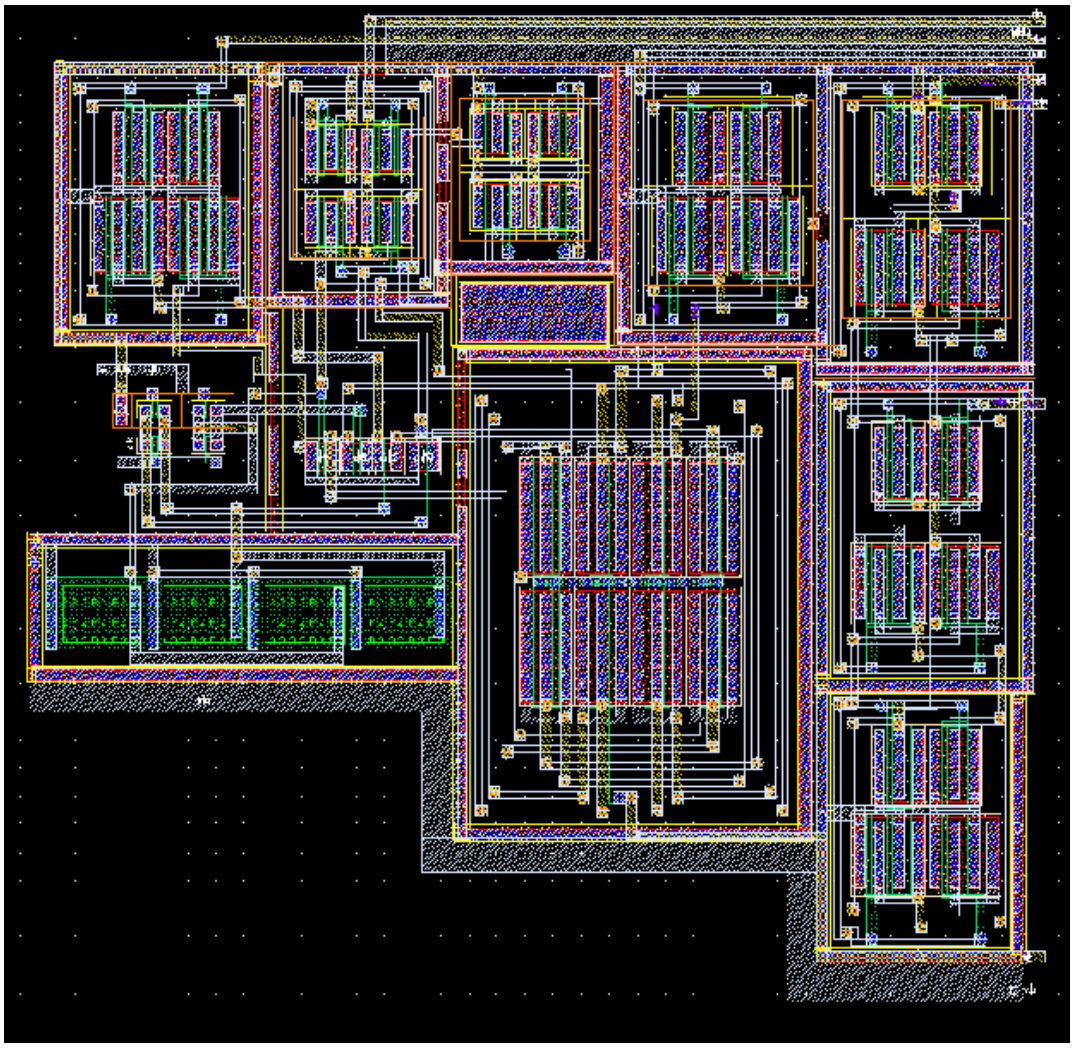
شکل ضمیمه ۲ -٤: تصویر لی‌آوت حذف‌کننده آفست



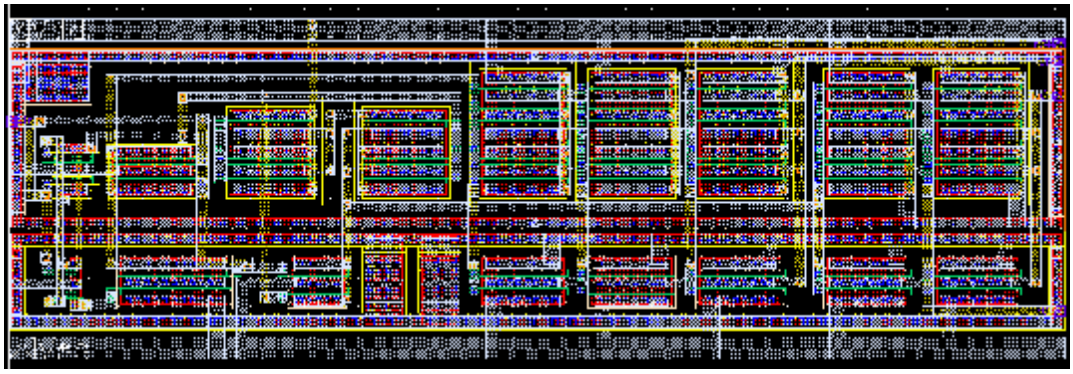
شکل ضمیمه ۲ -۵: تصویر لی‌آوت شبکه عصبی



شکل ضمیمه ۲ -٦: تصویر لی‌آوت ترارسانا



شکل ضمیمه ۲ -۷: تصویر لی‌آوت S&H



شکل ضمیمه ۲ -۸: تصویر لی‌آوت تولید کننده پالس ساعت غیرهمپوشان

Abstract

In this thesis a new architecture in Integrated Filter Design is introduced. The architecture is based on Feed forward Neural Network structures. Artificial neural networks are distributed parallel systems with very low sensitivity to the parameters, i.e. synaptic weights between network layers. The network is also potentially high speed, because the computation layers are small in number.

To implement this new and innovative idea, a chip strategy is presented. Different functional blocks and circuits have been designed and simulated in 0.8 µm CMOS process in typical, worse power, and worse speed conditions. The designed circuits include: S&H, Gm, synapse with four quantized weights, a digital block to store synapse weights, current copier and other required circuits to implement the designed chip strategy. The layout of designed circuits is drawn and post layout simulations prove the excellent performance of these circuits in all conditions. The chip of this filter is fabricated and the test results show the success of this idea.

Keywords: Discrete-time filter, Feed forward Neural network, Integrated circuit, Current mode, Chip strategy, Layout

مراجع

[1] D. Johns, Ken Martin, "Analog integrated circuit design", John Wiley & sons, 1997

[2] A.k.Jain, and K.M. Mohiuddin,"Artificial Neural Networks: A Tutorial", IEEE, March 1996, pp 31-39

[3] Fassett L., "Fundemental of Neural Networks ", Prentice Hall, International, USA, 1994

[4] Widrow B., Lehr M., "30 years of Adaptive Neural Networks : Perceptron, Madaline, and backpropagation", Proceeding of the IEEE, Vol. 78, No. 7, pp 1415-1442, September 1990.

[5] J.Hertz, A.Krogh, and R.G.Palmer," Introduction to theory of Neural computation", Addison-Wiley, 1991

[6] M. Srinivas, lalit M. Patnail," Genetic Algorithms: A survey", IEEE computer magazine, vol. 27, No. 6, pp 17-26, June 1994

[7] Goldberg D.,"Genetic Algorithms in search optimization and machine learning", Addison-Wesley, USA,1989.

[8] Man k., Tang K.,Kwongs and Halang W.,"Genetic Algorithm for control and signal processing(Advances in Industrial Control)",Springer,USA, 1997

[9] J.J. Grefenstette, 'Optimization of control parameters for Genetic Algorithms', IEEE trans. Systems, man, and cybernetics, Vol. SMC-16, No.1,Jan 1986,pp122-128

[10] Oppenheim A., Schafer R.,"discrete-time signal processing ",Prentice-Hall, USA, 1989

[11] Riley, J., Ciesielski, V.B.,"An evolutionary approach to training feed forward and recurrent neural networks",Proceedings of second international conference on knowledge-based intelligent electronic systems, 1998, Vol.3, pp596-602.

[12] khan A. H.,Hines E.L.,"integer weight neural networks ",electronic letters,july 1994, Vol.3, No.15, pp1237-1238

[13] Leek. W., Lan H.N.,"Optimizing neural network weights using genetic algorithms:a case study",proceeding of IEEE International Conference on Neural Networks 1995, Vol.3, pp 1384-1388

[١٤] آنالویی، بهنام، : ارائه یک معماری جدید برای ساخت فیلتر Sampled-Data بر اساس ساختار شبکه‌های عصبی، پایان‌نامه کارشناسی ارشد، دانشگاه صنعتی شریف، ١٣٧٩

[15] aliker,S., Furst M. Maimon O.,"Design architectures and training of neural networks with a distributed genetic algorithm",IEEE International conference on Neural Networks, 1993, Vol. 1,pp 199-202

[16] Process Manual of 0.8µm Cxq CMOS Process, Emad semicon.

[17] C. Toumazou, F. Lidgey, D. Haigh," Analoge IC design: the current mode approach",Peter Peregrinus, London, 1990

[18] Fiez T.S., Liang G., Allstot D.J.,"switched current circuit design issues", IEEE journal of solid state circuits, Vol. 26, No. 3, pp 192-202, March 1991.

[19] Hughes J.B.,Macbeth I.C., Pattullo, D.M.,"switched current system cells", IEEE International symposium on circuits and systems, 1990, vol.1, pp 303-306

[20] Wang Z., Guggenbuhl W.," Adjustable bidirectional MOS current mirror/Amplifier", Electorinc Letters, Vol.25, No. 10, pp 673-675, May 1989

[21] Allstoto D.J., " Current-mode analoge signal processing : a tutorial", IEEE Pacific Rim Conference on communications, Computers and signal processing 1991,Vol. 2, pp 815-818

[22] Wegmann G.E., A. Vittoz,"Analysis and improvement of accurate dynamic current mirrors", IEEE journal of solid state circuits, Vol. 25, No. 3, pp 699-706, June 1990.

[23] Daubert S.J., Vallancourt D., Tsividis Y.P.," Current copier cells", Electronics Letters, Vol.24, No.8, pp 1560-1562, Dec. 1988.

[24] Battersby N.C., Toumazou C., Hughes J.B," Advances in switched-current techniques for analogue signal processing", IEE Colloquium on advances in Analogue VLSI 1991, pp 4/1-4/9

[25] Vincent F. koosh, Rodney Goodman," VLSI neural network with digital weights and analog multipliers", IEEE, pp 233-236, 2001.

[26] Shanjani,P.H., Atarodi,M., "A high dynamic-range self tuned Gm-C filter for video-range applications", proceeding of the IEEE International Symposium omn circuits and systems 1999, Vol.2. , pp 660-663.

[27] H. Khorramabadiand P.R. Gray ,"High frequency CMOS Contious time Filters", IEEE Journal of Solid State Circuits", Vol. SC-19, No. 6, pp 939-948, Decembe 1984.

[28] T. Kwan and K. Martin," An adaptive analog continous time CMOS biquadratic filter," IEEE Journal of Solid State Circuit, Vol. 26,pp 858-868, June 1991.

[29] Yasuhiro sugimoto," A 1.6 v 10bit 20 MHz current mode sample and hold circuit", IEEE , pp 1332-1335, 1995.

[30] D.G. Nairn, "A high linearity sampling technique for switched-current circuits",IEEE, pp 49-52, 1996

[31] C. Toumazou, J.B. Hughes, and D.M.Pattullo, " A regulated cascade switched current memory cell", Electron. Lett., Vol. 26, pp 303-304,1990

[32] Behzad Razavi, "Design of CMOS analog Integrated circuits" Mcgraw hill,2001

[33] Alan Hasting,"The art of analog layout",Prentice-Hall, 2001